

Cited Reference (1) Japanese Patent Public Disclosure
No. 84632/1978

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-84632

⑪Int. Cl.³

G 06 F 13.00

G 06 F 3.00

G 11 C 9.06

識別記号

⑫日本分類

97(7) C 0

97(7) C 03

97(7) C 02

97(7) D 0

序内整理番号

6453-56

6453-56

6453-56

6711-56

⑬公開 昭和53年(1978)7月26日

発明の数 1

審査請求 未請求

(全 41 頁)

⑮出入口カッショ・システム

⑯持 特 類 昭52-154618

⑯出 特 類 昭52(1977)12月23日

優先権主張 ⑯1976年12月30日 ⑯アメリカ国
(U.S.)⑯755871

⑰発明者 ジエイム・コール
アメリカ合衆国アリゾナ州8530
6グレンデイル・ウエスト・ウ
オルタン4723

同 コーレンス・ダブリュー・シェ

ルバーグ

アメリカ合衆国アリゾナ州8502

1フエニックス・ユニット・キ
ヤミノ・エイスキア4117

ハネイウエル・インフォメーシ
ヨン・システムス・インコーポ
レーテッド

アメリカ合衆国マサチューセツ
ツ州02154ウォルサム・スミス
・ストリート200

⑲代理 人 弁理士 湯浅恭三 外1名

四 総 目 次

1. [章題の名称]

出入力カッショ・システム

2. [特許請求の範囲]

(1) 個数個の入出力装置を含む入出力操作の制
御を行う入出力システムにおいて、

複数個のポートを有するシステム、インターフ
ェース装置と、

前記複数個のポートの間に接続された複数個
のモジュールとを設け、複数モジュールは少なくとも
1個のメモリー、モジュールと複数個の指令モジ
ュールを含み、前記指令モジュールの各々は、

前記メモリー指令の第1のタイプの各々は前記メ
モリー、モジュールから前記複数個をアクセスする
ための第1と第2のカテゴリーを表示するよう符
号化されたりとも1つの子の定められたビット
を有し、

前記1度のメモリー、モジュールは、

前記ポートの1つに作用的に接続されたカッシ

エ・ストアを有し、該カッショ・ストアは前記メ
モリー指令に応答して前記メモリー、モジュール
から前記取出された情報のプロックを記憶するた
めのものであり、

前記インターフェース、ポートの前記1個に作
用的に接続され、複数信号を記憶するための輔助
記憶装置と、

前記カッショ・ストアと前記輔助記憶装置に接
続され、前記カッショ・ストアと輔助記憶装置の
操作を制御するための制御回路装置とを有し、該
制御回路装置は、

前記複数個の指令モジュールから前記メモリー
指令を受取るために前記1個のポートに接続され
た入力端子装置と、

前記指令を復号するために前記入力レジスター
等に接続された指令復号回路を有し、前記複数個
の、前記第1のタイプのメモリー指令の各々に
応答して、前記カッショ・ストアに記憶される前
記複数個の存在しない場合に前記各々の第1のタイ
プのメモリー指令により指定される複数からの既

新規構成の装置2類記憶のシステム。

(4) 前記の予め定められたビットが2進数1として符号化され、前記制御記憶装置は、前記カタログ・ストアをしてその内蔵地図記憶情報を書きさせてこれにより前記カタログ・ストアをバイパスするため前記制御信号の生成を異上させられる新規構成の装置2類記憶のシステム。

(5) 前記指令モジュールは少くとも1度の入力の処理をすし、前記処理装置の指令生成装置は、

前記メモリー指令を生成するための必要な符号を生成するためのマイクロ命令コードのノーテンスを記憶するマイクロプログラム化された制御装置と、

前記メモリー指令の各々の前記アドレス部分として含まれるアドレス情報を生成するためのアドレス制御装置とを含む新規構成の装置2類記憶のシステム。

(6) 前記補助記憶装置は、複数個のケーブル、即ち前記補助記憶装置における接続を組合するた

めのため前記補助記憶装置を使用可能とするための制御信号を生成し、かつ前記の予め定められたビットが前記算1のカタログーを表示するよう符号化される事にのみ、前記カタログ・ストアに前記地図記憶装置から読み出される地図情報をその内蔵に書きませる制御信号を生成する事を異質とする入力システム。

(2) 前記算1のタイプアドレスモード指令の命令が指令部分、カタログー部分およびアドレス部分を含むように符号化され、前記指令部分は既にし操作を指示するよう符号化され、前記アドレス部分は前記地図記憶装置のアドレスを指定するよう符号化され、前記カタログー部分は前記カタログ・ストアが前記読み出し操作の間バイパスされるべき時点を表示するよう符号化された前記の予め定められたビット、を含む新規構成の装置1類記憶のシステム。

(3) 前記の予め定められたビットは2進数零として符号化され、前記制御記憶装置は、前記カタログ・ストアに前記情報をその内蔵に書きませるため前記制御信号を生成するよう条件付けられる

ために使用されるデータ制御カードのリストを記憶するための算1のテーブルと、前記データ制御カードを再会するためのリスト、ポインター・ワードを記憶するための算2のテーブルとを記憶するための複数個の記憶装置を含み、前記各データ制御カードと前記リスト、ポインター・ワードの予め定められたビットを含む前記カタログ・ストアがバイパスされるべき時点を指示するよう符号化され、かつ前記複数個の指令モジュールは更に前記複数個の入出力装置に連合される複数個のアダプタ・ポートを有するマルチプレクサモジュールを有し、前記指令生成装置は、

前記入出力操作の初期に接するアドレス部分を前記複数個を記憶するよう構成された複数個のシンシステム。

前記二方の信号をから指令を受取るための接続された前記複数個のシンシステムの算1のものと、

前記複数個のレジスタに命令されており、前記指令に応答して前記マルチプレクサモジュールの操作を制御するための制御装置と、

前記複数個のレジスタに組合されたセカレジスタ装置とを含み、前記制御装置は、前記処理装置からの算1の指令に応答して、前記算2のテーブルから読み出される前記リスト、ポインター・ワード1つに対応する信号を前記複数個のレジスタの算2のものに記憶するための信号を生成するよう作動し、前記制御装置は、前記処理装置からの算2の指令に応答して、前記算1のタイプのメモリー指令の算1のものの信号を生成し、前記信号は、前記データ制御カードの算1のものを組合する際使用するべきリスト、ポインター・ワードの内容を前記算1のテーブルから読み出力レジスタにてこするように前記複数個のシンシステムの前記算2のものを条件付けて前記複数個の装置5類記憶のシステム。

(7) 前記リスト、ポインター・ワードの内容が前記算1のタイプのメモリー指令の前記算1のものの前記カタログー部分とアドレス部分を含み、前記カタログー部分の予め定められたビットは、前記補助記憶装置からカタログ・ストアに現出さ

の前記カタゴリーからアドレス宛手を含み、前記カタゴリーを分つ前記手の定められたビットは、前記メモリー・モジュールの前記制御回路等が書き込む事を禁止する限り2進数1として符号化される等許請求の範囲8項記載のシステム。

(4) 前記データ制御ワードの各々がデータ・メモリー・ワードおよびデータ・アドレス・ワードを含み、前記第2の指令にて零して生成された前記信号は、第1のデータ制御ワードの前記データ・メモリーおよびデータ・アドレス・ワードを記憶するもの、それぞれ前記装置のレジスタの算ると算出のものを除いて、前記前記手は前記第1のタイプの・メモリー指令の第2のもの信号を生成するよう作成し、前記信号は、前記入出力操作部前記記憶装置に記憶された情報を集合するため前記データ・アドレス内容を用いて前記カレジスターをコードするよう前記第4のレジスターを操作せらる等許請求の範囲8項記載のシステム。

(5) 前記データ・アドレス・ワードの内容は前記第1のタイプの・メモリー指令の前記第2のもの

3. (明細の詳細な説明)

3-1. 過去見

1. 1976年11月15日出願米国等許出願第741632号「ロックされたプロセッサを用いる入出力処理システム」。発明者：J-Wウッド(woods)、M-G-ポーター(porter)、D-V-ミルズ(mills)、E-F-ウェラー(weller)田世、G-W-パターソン(patterson)、E-M-モナハン(monahan)。(本文に記載の発明人に譲り、以下同)

2. 1975年6月30日出願米国等許出願第591563号「マルチプレクタ複密接続シス

テム」。発明者：J-カル(calle)、V-M-グリスウォルド(griswold)。

3. 1975年3月26日出願米国等許出願第562333号「バスファインダ・マイクロプログラム制御システム」。発明者：G-W-パターソン、M-G-ポーター。

4. 1976年11月18日出願米国等許出願第742914号「メモリー・アクセス・システム」。発明者：E-F-ウェラー田世、M-G-ポーター。

本発明は、データ処理システムに関し、特にカツシエ・メモリー・ストアを含むシステムに関する。

公報掲載にあるものにおいては、半導体装置(cpu)は、複数コードを駆使するためのレジスターを含んでゐる。通常、このレジスターはカツシエ・ストアをCPUとのFFPの状態に変換してストアをバイパスするより往々現実的な結果によりコードされる。

このようなシステムにおいては、従つて、最初

専用のコードにcpuを起し、この状態がカツシエ・メモリー・ストアのバイパスを許容するようになる事が必要となる。付加的オーバーヘンド処理を含む点が明らかに不利な点である。更に、この構成では、カツシエ・ストアをアクセスする1つ以上の処理装置を持ち換るシステム(例えば、多言語処理システム)に対しては不適当である。

明の公知技術のシステムは、セグメント・ディスクリブタ・ワードの使用により、セグメントが取扱われる(アクセス属性)方法を可能にするセグメント・メモリー・システムを採用している。このセグメント・ディスクリブタ・ワードに含まれているのは、アドレス基値をしてカツシエにアドレス比較がうまく行われないようにさせるビットである。これは、あるセグメントをしてワードをカツシエ・ストアに記憶させ、かつカツシエ・ストアに他のセグメントIDによりバイパスされるようにする。

このような構成においては、入出力操作と管理するセグメントがcpuのカツシエ・ストアに入

る事を阻止される（カツシエなしの操作）事が通常必要で、このため映出されないメモリーにおけるコードの更新を生じ得る。

この構成は多言記憶システムに対してより好適であるが、常にセグメントが共享されるべきカツシエ・ストアに対してどのセグメントがアクセスを許すかを指定する専用機能のあるオーバーヘッドの空間を確保して可するものである。又、この構成は、主メモリー・アクセスに別の制約をもたらし、メモリー管理を複雑にする。

さて、本発明の目的的は、カツシエ・ストアのバイパスのための変更構造の提供にある。

本発明の更に別の目的は、どの区域も多数の指令モジュールのいずれによつても選択的にアクセスできるカツシエ・ストアの提供にある。

前述の目的的およびこれ以外の目的は本発明の最も重要な特徴において達成されるが、その構成は多数の指令モジュールおよび1つの易用メモリー・モジュールを含む入出力システムからなる。この易用メモリー・モジュールは、補助記憶装置

般に、カツシエ・ストアは、各映出しメモリー指令の予め定めたビットを予め定められた状態にセットするよう作用するプロセサにより使用される。これは、プロセサにより補助記憶装置から要求された情報を含む複数ブロックをカツシエ・ストアに記憶するように前記記憶装置を操作付ける。入出力データ転送の間、マルチプレクサのモジュールは、予め定められた状態に予め定められたビットをゼットさせる事力ないメモリー指令を与える。従つて、この制御機能は、カツシエ・ストアに補助記憶装置から要求される出入力情報を記憶させる事なくどの状態を転送する。この状態は、マルチプレクサ・モジュールが入出力情報でデータによりカノノニ・ストアに受け記憶された情報をまた書き込みしないようとする。然し、要求された入出力情報を既にカノノニ・ストアに存在する時には、この無視操作は特に迅速なメモリーティクルを生じてカノノニ・ストアから、要求された入出力情報を転送する。このように、プロセサは、同じ易用メモリー・モジュールに対するア

およびカツシエ・ストアを含んでいる。このカノノニ・ストアは専用記憶装置から前に取出された複数ブロックに対し迅速なアクセスを行う。電磁的記憶装置の本システムは、更に、各々が異なる1つのモジュールに専用された複数個のポートを含むシステム・インターフェース装置を含んでいる。

易用メモリー・モジュールに与えられる各メモリー映出し指令は、補助記憶装置から要求された情報が又、カツシエ・ストアに書込された再生を表示するよう符号化される予め定められたビットを含んでいる。易用メモリー・モジュールは、更に、予め定められた指令ビットの状態に従つて、補助記憶装置から要求されている情報をしてカツシエ・ストアを選択的にバイパスさせる各映出しメモリー指令に応答して作用する制御装置を含んでいる。

電磁的記憶装置においては、この指令モジュールは少くとも1個の入出力プロセサおよび1個のマルチプレクサ・モジュールを含んでいる。一

クセスが他の指令モジュール（例えば、マルチプレクサ・モジュール）と共用される場合でさえ、カツシエ・ストアの適正な制御を実現するのである。その結果、入出力操作の更に迅速な制御が得られる。

然し、プロセサが、補助記憶装置から要求される情報がカツシエ・ストアに記憶される事を欲しない場合もある。又同様に、システムが、マルチプレクサ・モジュールにより補助記憶装置から要求されている入出力情報をカツシエ・ストアに書込される事を欲する場合もある。

このプロセサにおいては、プロセサがその作業シーケンスで記憶されるべきディスク・シークアドレスを導るために映出し指令を発する。こうした場合には前述の状態が望ましい。補助記憶装置から要求される情報が再びメモリーから映し出される事は望まされないので、プロセサは、予め定められたビットが予め定められた状態以外の状態であるメモリー指令を与えるよう作用する。

マルチプレクサ・モジュールに関するでは、シス

システムの異なる命令モジュールは、カノニカルに記憶される情報を不意に書き込み又は破壊する事なく複数に跨る迅速なアクセスが可能となり、これによりある操作が更に迅速に実行可能となる。

複数および操作方法の異なる場合から選択を許すものと考えられる三電機の複数の命令については、更に別の目的および長所と共に、各々又個別して以下の記述を参考されると更によく理解されるよう、然し、各装置と顯示のためののみ示されるもので、本発明の規定する要件を満足するものである。

一般的な構成

第1図から判る如く、本発明の構成を包含するシステムは、少なくとも1個の入出力プロセッサ(PO) 120コアリと、システム・インターフェース装置(SIU) 100と、高速マルチプレクタ(HSMX) 300と、低速マルチプレクタ(LSMX) 400と、上位プロセッサ700と、1つの周波メモリー・モジュール500と主メモリー・モジュー

ルムは、通常データ伝送操作の実行コマンドブレクタ・モジュールが與する補助記憶装置におけるテーブルを復元している。例示しい実施要領においては、このテーブルは、データ転送コード(DCW) テーブルと命令データ転送コード(IDCW) テーブルを含んでいる。IDCWテーブルは、DCW テーブルを複数するリスト・ポイント・コード(LPW) を含む。DCW テーブルは、奥記メモリーにおける複数区域に対するポイントである DCW のリストを記憶する。LPW 合成用 DCW の数個は、通常マルチブランカー・モジュールにより記憶され、補助記憶装置を完全にするメモリー指令を生じるために使用される。このシステムは、LPW および DCW における予め定められたビットを補助記憶装置からマルチブレクタ・モジュールにより読み出されている情報がカソニ・ストアに記憶されるべきであるとする予め定められたデータセットとする。

各メモリー指令にかかる予め定められたビットの次序を変更する能力を有する事により、入出力

ル800に付属する多種のメモリー・モジュールとをする。これ等のモジュールの名々は、異なるタイプのインターフェース600乃至603の名々の複数個の回路を介してシステム・インターフェース装置(SIU) 100の多数のゲートの1つに接続している。更に、入出力プロセッサ(IOP) 200と、上位プロセッサ700と、高速マルチプレクタ300とはそれぞれポートG、E、およびAと接続し、低速マルチプレクタ400とメモリー・モジュール500、500コアおよび800はそれぞれポートJ、LMOおよびRMOと接続する。

第1図の入出力システムは、多数の「外部モジュール」、「受動モジュール」および「メモリー・モジュール」を含むように示されている。IOP ブレクタ200と、上位ブレクタ700と、高速マルチブランカ300など、各々が指令を出す能力を有する複数モジュールとして作用する。複数モジュールは通常ポートM乃至Hに接続する。複数個の空動モジュールは、3つのポートJ、K、およびLに接続される。これ等のモジュールは、生

産マルチブレクタ400と SIU100に対応し、以下に述べる如くインターフェース601の各回路に与えられる命令の確認および実行の可能な装置である。最後のグループのモジュールは、インターフェース603の各回路に与えられる2つの異なるタイプの命令を実行する能力のある主メモリー・システムの場合の如き周波メモリー・モジュールとリモートメモリー・モジュールを構成する。

第1図の入出力システムは、通常、それぞれ以下に詳細に記述するデータ・インターフェースおよびプログラム部既存インターフェースと対応するインターフェース600と601を介して通常ポートFに接続する上位プロセッサ700により發信される入出力命令に応答する入出力 subsystemとして作用する。ポートEとFは、第1回カナル・マルチブレクタはプロセッサ・モジュールのいずれかの接続を可能にするためのインターフェースを含んでいた。

本装置の目的的ためには、プロセッサ700は周

以上公知であり、大同特許第3413613号に記述される如き装置の構成をとり得る。冒頭に述べたおいては、入出力プロセサ200は、入出力装置の実行の必要とされるチャンネルプログラムを実行終了し、SIU100から受取る読み込み要求を処理し、高速マルチブランクサ400に適合するデータ・インターフェースを用意する。データ・インターフェース600と読み込みインターフェース602を介してポートAに接続する。

上記の目的を達成するには、上記上公知と等たる高速マルチブランクサ400は、各々が装置アダプタ・インターフェース(DAI)の各回路に適合する電気装置アダプタを介して装置の周辺装置の動作を可能とする。このインターフェースおよびデータ・インターフェースは、上記の接続人に規定された大同特許第3742457号に記述される如き装置の構成を有り得る。この装置の構成には、カード・リード、カード・パンチおよびプリンタが含まれる。第1項から説くように、マルチブランクサ400は

前述の如く、各モジュールはSIU100の異なるポートに接続する。SIU100は、各々のモジュール間のデータおよび制御情報の転送を可能にする伝送機能を介して各モジュールの相互に対する接続を構成する。本発明の目的のためには、SIU100は、要求側のモジュールが最後先端を示すしかつては使用不能なメモリー、マイクロを示すされる時、要求メモリー、モジュール500に接して各「既定」モジュールにデータの出入り操作を実行する場合を基準として考える事ができる。即ち、前述の如く、SIU100は、各モジュールから要求側の既定の端末の電気通信を決定し、次に使用不能なモード・マイクロを実現する方法を決定する事により行なわれる。

また、SIU100は、各モジュールから要求する既定の既定の端末の電気通信を決定し、かつ要求した最後先端の要求を達成し、即ち既定の端末に対する接続を介してこれをモード・マイクロに接する読み込み等の操作を実行する所を含む。

プログラム可能なインターフェースを介してポートBに接続している。

高速マルチブランクサ400は、チャンネル・アダプタ302乃至305の各々に接続するディスク装置およびテープ装置309乃至312の各ペループ間の転送を直接制御する。更に、最大16電道の装置に接続し導る各チャンネル・コントローラ・アダプタ303乃至306は、更に、チャンネル・アダプタインターフェース(CAI)301-1のインターフェース回路を介してポートBに接続する。

本発明の目的のためには、チャンネル・コントローラ・アダプタ302乃至305の各々に接続する、本連上公知と考る事ができ、前述の大同特許第3742457号に記述されたコントローラ・アダプタの構成をとり得る。

ポート・インターフェース

第1回の異なるモジュールについて詳細に記述するに先立ち、前述の各インターフェース600乃至602について第5回(図5)に備して以下に記述する。

最初に第5回に説いて、同回は、1つの既存モジュールとSIU100間の接続交換を行なうインターフェースの1つであるデータ・インターフェースを構成する各回路を示す事が判る。この回路では、「ダイヤロード」と呼ばれる信号シーケンスにより構成される予め定められた規則によって各信号が成る複数の状態を切换する事により行われる。

まことに、上記の如きの如きように、このインターフェースは、1つを外部出力ポート要求回路(AOPR)と、複数をつたSIUデータ回路(DTS0~35,P0~P3)と、複数本のSIU端末データ回路(SDTS0~6,P1)と、複数本のSIUマルチポート電気回路(WITS0~3,P1)と、1つの既存電気受入れ回路(LARA)と、読み出しだけを受

入れ玉磯 (ARDA) 及、要求のSIUからデータ
バス回路 (DFS10~35, P0~P3) と、
要求のSIUからカナルチボート、電制子回路
(MIFPS1~3, P1) と、SIUからの2信号電回
路 (DPFS1) と、次に受け入れ玉磯 (AST) とを含
む。これらシーケンサース回路については、更
に詳細に以下の項において記述する。

データ・インターフェース回路

回路名 説明

AOPR	この接続二方ボート、要求回路は、 各運動モジュールからSIU100 を経由する一方同性の玉磯である。 この回路はセクトされると、 指令はデータが送られるべき 転送経路をモジュールが要求す る事をSIUに対して示す。
DT500~35	このデータ回路は、各運動モジ ュールとSIU間に在する4バ イトでの一方同性の経路 (4つ の1ビット・バイト) で、各

される (指令はノモリー・モジ
ュールのみにより駆動され、ブ
ログラム可能インターフェース
指令は、入力カブロセナ200
を除き全てのモジュールにより
駆動せられる)。

c) ビント5の代号は、指令傳
送の1ワード又は2ワードが要
求回路の運動モジュールと表示さ
れて要取り替のモジュール間に
転送されるべき事を表示する
(1ワードは直接転送を指定
し、2ワードは2信号転送を
指定する)。

d) ビント6の代号は、要求
のモジュールと表示された要取
り替のモジュール間の転送方向
を表示する。

e) ビントPは、SIU100に
内蔵される算定により決定され

規範規53-84632⑦

運動モジュールからSIU100
に対して指令はデータを伝
するのに使用される。

SDTS0~6, P

SIU横向データは、各運動モ
ジュールからSIU100を経由
する。これ等回路は、回路AOPR
がセクトされる時時制御情報
をSIU100に与えらるために使
用される。横向制御情報は、以
下の如く符号化される7つのビ
ットと1つのパリティ・ビット
からなる。即ち、

a) ビット0の代号-DTS回路
に与えられる指令のタイプ (指
令がプログラム可能インターフ
ェース指令又はノモリー指令か
どうか)

b) ビット1~4は、モジュー
ルのどれが指令を受取り読み
させるかを表示するよう符号化

する要求回路の運動モジュールによ
り生成されるパリティ・ビット
である。

MTS0~3, P

4本のSIUマルチポート選別
子回路は、運動モジュールから
SIU100を経由する。これ等
回路は、運動モジュール内のど
のアプチャシネル又はポートが
回路AOPRのセッティングを生
じたかを表示するよう符号化さ
れる。

ARA

既知要求受け入れ回路は、SIU
100から各運動モジュール選
択する。この回路は、表示さ
れた要取り替モジュールが、デ
ータ・インターフェース回路か
ら要求された情報を除去させ
る運動モジュールの要求を受け入れ
た事を表示するようセクトされ
る。

任在する。これ等回路は、モジュールに接続されたポート又はサブチャンネルがSIU100から前の表示出しが作成したデータを受入れるべき事を表示するよう符号化される。

SIUからの2種類を回路は、SIUから各能動モジュール名を示す。この回路が休止は、表示データの1ワードスは2ワードが能動モジュールにより受入れられて転送を完了（表示復元）する事を表示する。

状況受入れ回路はSIU100から各能動モジュール名を示す。地圖に回路ARDAを接続する能力回路の状況は、能動モジュールがDFS回路に与えられる状況情報を受入れるべき事を能動モジュールに信号する。

ARDA 装出しデータ受入れ回路は、SIUから各能動モジュール名を示す。この回路は、SIU100によりセントされて、表示されたモジュールから前に要求されたデータを受入れるべき事を能動モジュールに対して表示する。

DFS00~35, P0~P3 SIUからカデータ回路は、SIUから各能動モジュール名を示す。この回路が休止は、表示データの1ワードスは2ワードが能動モジュールにより受入れられて転送を完了（表示復元）する事を表示する。

MIFS0~3, P ミニマルチポート識別子回路
プラス奇偶バリティ回路は、SIU100から各能動モジュール名

D P F S**A S T****P I R**

第56回に示されたプログラム可能なインターフェース601の引脚は、能動モジュールと表示されたモジュールからの指令情報の転送を行う。この転送は、「ダイヤローグ」と呼ばれる命令シーケンスにより構成される予め定められた順序にて各信号回路の状況の情報を転送する事により行われる。プログラム可能インターフェースは、プログラム可能インターフェース指令を入れ直し回路(APC)、複数本のSIUから各プログラム可能インターフェース・データ回路(PDFS00~35, P0~P3)、プログラム可能インターフェース使用可能回路(PIR)、データ転送出しこそど回路(RDTRI)、複数本のSIUプログラム可能インターフェース・データ回路(PDTS00~35, P0~P3)、およびデータ転送出しあげ回路(RDAA)を含む。これらインターフェース回路について更に詳細に以下に記述する。

プログラム可能インターフェース回路

記号	回路
APC	プログラム可能インターフェース

ス信号受入れ回路は、SIU100から各受取り側モジュール名を示す。この回路はセットされると、受取り側がSIUICよりインターフェースのPDFS回路に与えられた事およびモジュールにより受入れるべき事をモジュールに対して信号する。

PDES10~35, P0~P3 SIUからのプログラム可能インターフェース・データ回路は、SIU100から各モジュール名を示す。この回路が休止する4バイト巾の一万向性の能動(4つの1ワード・ペイト)である。これ等の回路は、SIUから表示された受取り側のモジュールに対してプログラム可能インターフェース情報を伝える。

プログラム可能インターフェース使用可能回路は、各モジュー

ルからSICを表示する。この
回線は、セットされると、モジ
ュールが回線PDFSに与えられ
るべき指令を受入れる用意があ
る事を表示する。

PDT500-35. マルチプログラム可能インターフェース・データ通信は、モモジュールからSIU1.00を経てする4バイトの一方通行の通話(4つづきビット・パイト)である。これ等の並列は、マルチプログラム可能インターフェース情報をSIUに転送するのに使用される。

R D T R データを通常取出し出来ぬ。
プログラム可でインターフェースに適合された各モジュールからSIC100を選択する。この回路は、セットされると、開いた要求された取出しデータがモジ

は、「ダイヤローグ」と呼ばれる信函シーケンスにより構成される予め定められた規則に従い各信函回路の論理的状態を制御する事により行われる。

このインターフェースは、両込み要求回路 (IR) と、モスク工の両込みデータ回路 (IDAO 0~11, P0~P1) と、ポート A 乃至しに接続されたモスク工に対するモスク工の両込みマルチポート接続別子回路 (IMID 00~03) を含む。ポート G と H に接続されたモジュールに対しては、両込みインターフェースは更に、レベル両存在回路 (LZP), 高レベル両込み両存在回路 (HLIP), 両込みデータ要求回路 (IDR), モスク回路 (RLS), およびモスク工両込み両レベル回路 (AIDL 0~2) を含んでいる。図 5(c) 図から判るように、両込みインターフェース、ポート G と H は、両込みマルチポート接続工回路は含まない。両込みインターフェース回路について更に詳細に以下に記述する。

卷之三十一 - 73 -

足 説明
この例込み要求範囲は、各モジ

専用元53-8463219
ユールに付する取扱い方に便
用可能であり、モノユールに付
り回轉 PDT5に対してらえうれ
き面を表示する。

R.D.A.A.

DAA 民出しデータを受入れた回路はPDTI
100からモジュールを選択す
する。この回路は、モノ、それ
ると、回路 PDTIに伝えられる
データが受入れられた事、およ
びこのモジュールがこれと同様
からの情報を検索できる事をモ
ジュールに対して表示する。

この他のインターフェースは、入出力プロセサ 200により網込み処理を行う第5回の網込みインターフェース 602である。即ち、このインターフェースは、施設モジュールによる網込み機能の SIU100に対する転送を可能にすると共に、SIU100による網込み機能の処理のための入出力プロセサ 200に対する転送も可能にする。他のインターフェースと同様に、網込み要件の転送のインターフェースとし

ユールからSIU100が選択される。この画面は、セットされると、サービスを要求する事をSIUに表示する。

IDA0-3, P0 刺込みデータ回路は、能動モニ
IDA4-11, P1 ュールからSIU100を送在す
る。これ高回調は、刺込み要求
がプロセサにより受け入れられら
れ。入出力プロセサに対して伝
達される必要がある刺込み情報を
含むように符号化される。これ
のビットは以下の如く符号化
される。

3) ビット0の状態は、2つの
プロセサの内どちら(即ち、ブ
ロセサ番号)が読み込み要求を送
りするかをSIU1.D0に対して
指定する。

b) ビット1～3は、刺込み量の優先順位をレベル番号を

		SIU100に對して表示するよ う標準化される。	SIU100に對して表示するよ う標準化される。
	L Z P	e) ビットP0はビット0～3 に対するパリティ・ビットであ る。	レベル要求在回路は、SIU100 から入出力プロセサ200名位 在する。この回路は、セットされると、SIU100によりプロ セサ200に對して指示される 最高先端位(レベル0割込)要 求がある事を表示する。
	H L I P	d) ビット4～8は、割込み 電力からの復正な手順を包含す るため入出力プロセサ200 により生成される必要があるア クレスの一元(むら)、割込み型 並びソク番号(ICBN)を示す よう標準化される。	高レベル割込み在回路は、SIU から入出力プロセサ200名位在する。 この回路は、セットされると、 プロセサ200より実行され る手順又はプロセスよりも高い レベル割込優先順位を有する割 込み要求がある事を表示する。
	I D R	e) ビットP1はビット4～11 に対するパリティ・ビットであ る。	割込みデータ要求回路は入出力 プロセサ200からSIU100 迄在する。この回路は、セフ トされると、割込みデータが
INIDOP-35		割込みマルチポート電別子回路 は、各駆動モジュールからSIU 100迄在する。これ等回路 は、駆動モジュールとの接 続チャンネルが割込みサービスを	
R L S		SIU100により回路DFS上 のプロセサに對して決られるべ き事を表示する。	情報の交換を行う。この交換は、「ダイヤローグ」と呼ばれる信令シーケンスにより構成される予め 定められた時刻に従つて各信号インターフェース 回路の論理的状態を制御する事により行われる。 局端メモリー・インターフェースは、複数本の四 メモリーデータ回路(DTM00～35, P0～P3), 複数本の対メモリー要求駆別子回路(RITM0～ 7, P0～P1), 複数本の対メモリー指定回路 (SLTM0～3, P), P1指令受入れ回路(APC), ZAC 指令受入れ回路(AZC), P1インターフェ ース使用訂正回路(PIR), ZACインターフェ ース使用訂正回路(ZIR), データ転送要求出し回 路(RDTR), 複数本カノメモリーからのデータ回路 (DFM00～35, P0～P3), 複数本のメモ リーからの要求駆別子回路(RIFM0～7, P0 ～P1), メモリーからの2倍増幅回路(DPFM) QUAD回路, 指出しデータ受入れ回路(RDAA), およびシステム・クロック回路(SYS-CLK)を含 む。
A1L0～2		駆動割込みレベル回路は、SIU からの入出力プロセサ200名 位在する。これ等回路は、プロ セサ200により実行中の手順 の割込みレベル番号を表示する よう標準化される。	メモリーおよびプログラム記憶インターフェー
		第1文のモジュールのあるものにより使用され るインターフェース回路の最も外側は、第5文の 各局端メモリー・インターフェース回路に對応す る。局端メモリー・インターフェース603は、 局端メモリー500とシステムのモジュール間の	

ス指令は、インターフェースのモジュール間でデータを転送される。このインターフェースは、読み込み要求の電力ための1組の回路に含んでおらず、たとて SIU100 により局蔵メモリーに書き込まれる各モジュールは書き込みモーリー記込みを生じることはできない。局蔵メモリー・インターフェース回路については以下に更に詳細に記述する。

局蔵メモリー・インターフェース回路

回路番号	回路名
DTM09-35.	データ絶縁回路は、SIU100 から局蔵メモリー500に書き込む4ビットのカ一方同性電極（36本の接続回路および4本の奇数パリティ回路）を構成する。これ等の回路は、メモリー又はプログラム記録インターフェース指令を書き込みメモリー500に記して転送するのに使用される。
RITM0-3,P0 RITM4-7,P1	対メモリー・リクニスク装則子

又はアブチエンスルがモジュールに対して送られるメモリー指令を受取るか駆動するかを指定するよう符号化されたポート番号記入ビットである。

b) ビット2は、新たな組合が SIU100 によりメモリーに書きられる時、SIU100 により局蔵メモリー500に書き込まれる時モジュールから受取られる時局蔵メモリーから書き込まれる時モーリー記出し／書き込みビットである。このビットの状態は、データの転送の方針を表示する。

c) ビット3は転送されるべきデータを指定するよう符号化される対メモリー・モジュール記入ビットである。これは、又、所らたな指令がメモリー・モジュールに送られる時、SIU100 によ

特記 S3-84632(11)
正確に、SIU100 から局蔵メモリー記憶をする2グレードの4回路を構成する。これ等の回路は、指令を記出したモジュールを識別する局蔵メモリーに対しても信号を伝えるよう符号化され、適正なモジュールに対し要求されたデータを與すとの使用される。

SLTM0-3, P 対メモリー記録回路は、SIU100 から局蔵メモリー500に書き込む、2本のポート番号記入ビット、対メモリー記出し／書き込み回路、対メモリー2倍物理回路、およびパリティ回路を含む。これ等の回路に与えられた接続番号は下記の如く符号化される。即ち、
a) ビット0～1は、與付けられるモジュール内のどのポート

り局蔵メモリー・モジュール 500に對して書き込まれる時モジュールにより与えられる場向制御機能に含まれる。

ZAC 指令受入れ回路は、SIU100 から局蔵メモリー・モジュール 500に書き込む。この回路は、セットされる時、局蔵メモリー・モジュール 500に對して、SIU100 により他の回路に与えられた ZAC 指令および明確回路を受入れる事を指示する。このインターフェース回路のセッティングは、PLI 指令を入力インターフェース回路に對して與付に與他的である。

プログラム記録インターフェース指令受入れ回路は、プログラム記録インターフェースに關して記述したように、SIU100 か

特許 第53-84632(12)

の回路は、セットされると、ZAC又はPI場合により前に要求された所出しタイプ・データが、データを要求するモジュールに送られるため必要な情報をと共に使用可能である事を表示する。

局蔵メモリー・モジュール600迄存在する。この回路は、セットされると、回路DTMCに与えられた指令情報が局蔵メモリー・モジュールにより受け入れられるべき事を表示する。

PIR/ZIR プログラム町録インターフェース宇宙射撃回路/ZACインターフェース使用町録回路は局蔵メモリー・モジュール500からSIU100迄存在する。各回路はセットされると、局蔵メモリー・モジュール500がプログラム町録インターフェース(PI)／メモリー(ZAC)指令の受け入れが可能である事をSIU100に対して表示する。

RDTR データ転送要求所出し回路は、局蔵メモリー・モジュール500からSIU100迄存在する。こ

DFM00~35, PN~P3 メモリーからのデータ回路は、局蔵メモリー・モジュール500からSIU100迄存在する4バイト市の一方向性のバスである。これ等回路は、所出し要求されたタイプデータをSIU100を介して能動モジュールに與すのに使用される。

RIFM0~5, P RIFM4~7, P メモリーからのリクエスト識別子回路の2グループは、局蔵メモリー・モジュール500からSIU100迄存在する。これ等回路は、モジュール500から

事文書モジュールに対して脱出しデータを指図させるよう符号化されている。

DPFMおよび QUAD メモリーからの2倍頻度回路およびQUAD回路は、局蔵メモリー・モジュール500からSIU100迄存在する。これ等回路は、脱出しデータ転送要求時間間隔の間SIU100を介して要求箇のモジュールに対して転送されるべきワード数を表示するようだ符号化されている。これらの回路は下記の如く符号化される。即ち、

QUAD DPFM

0	0	1ワード、单相度
0	1	2ワード、2倍時間
1	x	4ワード (4倍もよい)

DSD 脱出しデータ/状況識別子回路は

局蔵メモリー・モジュール500からSIU迄存在する。この回路の状態は、回路DFMに与えられる情報は、回路RDTRがセットされる時、脱出しデータ又は状況情報をあるかどうかをSIU100に対して信号する。この回路は、セットされると、1ワード又は2ワードの状況情報(QUAD=0)が転送されつつある事を表示する。2進数常にセットされると、この回路は、4ワード次のデータが転送されつつある事を信号し、そのワード数は回路QUADおよびDPFMの符号により指示される。

プログラム町録ターミナルに用いて述べたように、脱出しデータ受け入れ回路は、SIU100から局蔵メモリー・モジュール迄

元すが、例えばミラー条件か並び条件の出力やの条件を信号するための回路も含まれる事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の原理に関連する各モジュールについて以下に更に詳細に記述する。

入出力プロセサ対200-0の構成

第2図において、対POの各プロセサ200は、命令実行のため制御ストア201-10に記憶されるマイクロ命令に応答して制御信号を生成するよう作用するマイクロプログラム化された制御セクション201と、局間メモリー・モジュール500から取出される命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、明確ストア201-10に記憶されたマイクロプログラムの制御下で演算処理作用を実施するための処理セクション204とを含む。このプロセサ対の構成はシステムの信頼性を保証するものであり、周辺出端に引用した最初の出願に詳細に説明されている。

SYS-CLK システム・クロック回路は、SIU 100からシステムの各モジュールを駆動する回路である。この回路は、入出力プロセサ200に内蔵されるクロック・ソースに接続され、共通のシステム・クロック・ソースからの各メモリー・モジュールの操作を同期させる。

第5と同乃至第5と図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を

制御ストア・セクション201

各セクションを更に詳細に考察すれば、制御ストア201-10は例えば脱出し専用(ROM)のために使用する電気セクションから構成される。ストア201-10は、セレクタ・スイッチ201-16に与えられた8つのアドレス・ソースのどれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読み込まれ、ブロック201-16に内蔵されるデコーダ回路により選択される。

更に、図示の如く、レジスタ201-15のマイクロ命令内容のフィールドの1つからの信号は8つの入力ソースの内のどれが制御ストア201-10に対してアドレスを与えるかを選択するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読み出されたマイクロ命令は、制御ストア201-10を構成するマイクロプログラム・ルーチンに分派するためのアドレス定数を含んでいる。

第2図から判るようだ、8つの制御ストア・アドレス・ソースには下記の如きものが含まれる。即ち、SIU100およびプロセサ200内部の演算回路により与えられる信号から構成される制込み/制外信号と、加算/シフト装置201-24を介してレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置と、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置と、メモリーアドレス・レジスタ201-4を介してバスファインダ・メモリー201-2からアドレスを受取る実行アドレス・レジスタ位置と、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置と、出力レジスタ201-15から一元数据を受取る定数位置である。

適当な次のアドレスが加算回路201-24により生成され、この際時は、一万のオペランド入力としてスイッチ201-14により選択されるソースの1つからアドレス信号を、他方のオペラント入力としてプロセサ201-26のスキャップ

情報図はからか信号を受取る。このスイッチ部は、回路は制御ストア・レジスタ 201-1-15に記憶される元数据号により操作せられる。前記レジスタは更に元数据路 201-2-4に対するオペランダ入力の1つとして通常な数据を示す。元数据路 201-2-4により生成された場合はアドレスは、スイッチ 201-1-4により示される。アドレスとブロードキャスト 201-2-6のスイノーブ接続部により示される元数据号の和を表示する。要的すれば、スイッチ 201-1-4の異なる位置は、制御ストア 201-1-10に記憶されるマイクロ命令に反応して選択され、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御ストア 201-1-10に記憶されるマイクロプログラムに対して通常なアドレスを示す。命令OPコードは、図示の如く数据路 201-6を介してバスファインダ・メモリー 201-2に示される。スイッチ 201-1-4の裏アドレス・レジスタは常に分段操作の対象としてプログラムの順序付けの間に選択されるが、定数レジスタ位置はレジ

ス 201-1-15に記憶されらす。クロックの定期フィールドにより規定されるデータストア 201-1-10における予め定められた場所に対する参照を行うために選択される。

プログラム命令の実行の完了時点で組込みが選択される。第2回から、高レベル組込み存在(HLIP)回路およびレベル組込み(LZP)回路はスイッチ 201-1-4に信号を示す事が可能。HLIP回路に示される信号はクロック制御レジスタ 204-2-2からの組込み禁止信号とANDされ、その結果は LZP回路に示された信号とのORされる。高レベル組込み存在信号が存在する時、スイッチ 201-1-4に記憶された諸回路(即ち表示せず)からの信号は例外/組込み位置を選択する。組込みの存在を表示する信号回路(LZPおよびHLIP)は、次のプログラム命令を実行するためのマイクロ命令シーケンスを開始する代りに、マイクロ命令の組込みシーケンスの最初を開始させる。

「例外」を表示する信号回路は、スイッチ 201-1-4と相连する制御回路(即元せず)に示されられ、例外/組込み位置の選択を実現する。この状況下、マイクロ命令の例外シーケンスを開始するもののアドレスを示す。実行のタイプに従つてそれは直ちに使用されるが、これは、実行するプログラム命令実行が異常されなければならない。即ち既でない(即、監査、溢出命令)ものである。それは、条件が即興のアテンションを必要としない(即、タイム・アウト・オーバーフロー等)プログラム命令の実行の完了と同時に処理される。本文で説明したように、例外の発生は、スイッチ 201-1-4の例外/組込み位置を選択せず、ブロードキャスト 204-2-2の通常なビットに示すセッティングを実現する。

第1段にPDAと表示され、監査セクション 201-2に対する通常なメモリーの操作サイクルを確保するために必要なタイミング信号は、ブロードキャスト 204-2-2の通常なビットに示すセッティングを操作するためのタイミング

信号と共に、ブロック 201-3-0で内蔵されるクロック回路により示される。本回路の目的に対しては、クロック回路および第2回の他の回路は共に構成上公知と考える事ができ、例えば、1972年キヤサス・インストルメンツ社により開示された「設計技術者のための基準回路カタログ」なる書名の文献に示される諸回路の他をとつても良い。更に、クロック回路はクリスタル制御振盪器およびカウンタ回路からなり、スイッチ 201-1-4は複数個のデータ・セレクタ/マルチプレクタ回路を有するもので良い。

前述の事から、殆どのマイクロプログラム化された制御信号における如く、制御ストア 201-1-10は各プロセサの操作サイクルのために必要な制御を示す。即ち、1操作サイクル中に制御ストア 201-1-10から現出される各マイクロ命令コードは多くの別々の制御フィールドに分割され、このフィールドは、異なるスクランチバッド・メモリーのアドレス指定およびオペランドの選択のための第2回の各種のセレクタ・スイッチに対

して必要な入力信号と、介在のための各テスト条件を指定するための信号と、セクション204の充電/ソフト起動の操作を制御するための信号と、指令を生成するのに必要な制御情報を伝えるための信号を伝える。初期セクション201の操作に備するこれ以上に詳細な内容については、本発明の著者人に提出されたG.W.バターソン著の「バスクファインダ制御メモリー」なる名稱の係属中の米国特許出願を参照されたい。又、本文の箇題出願に記載の大綱を参照してもよい。

命令パックアド・セクション202

本項は、電源メモリー・モジュール500から取出されかレジスタ204-18におけるデータを介して伝えられる4ワード迄の命令を記憶するための複数個のレジスタ202-2を含む。レジスタ202-2のグループは、2つの出力と1つの現行命令出し出し出力(CIR)と1つの次の命令出し出し出力(NIRI)を伝えるよう構成される2位置の命令レジスタ・スイッチ202-4に複数されている。半ワード又は完全ワードに高く命令

ワードの選択は、ブロック204-12の電レンジスターの最初のものに通常記憶される現行命令カウンタ(1C)のビット位置の状態に従つて行われる。本発明の目的のために、この構成は單純上記のものと考えられる。

記憶セクション203

第2図から判るように、このセクションは、各々が異なる8つの最先端位レベルを割当てられる8つの異なるプロセスと関連する8組又は8グループのレジスタを含むスクラッチパッド・メモリーからなる。最高先端位のレベルはレベル0であり、最低先端位のレベルはレベル7である。各グループ間のレベルは、前述の如く使用される16個のレジスタを含む。

スクラッチパッド・メモリー203-10は、8つのソースのどれかから7ビットのアドレスをアドレス入力203-12に対して選択的に伝える8位置のデータ・セレクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最高位のビット位置は8組

のレジスタ(即ち、レベル)の1つを選択するが、残りの4ビットは16レジスタの1つを選択する。SIU100により圧縮読み込みレベル(AIL)回路に伝えられる信号は、3つの最高位のビットをスクラッチパッド・アドレス入力203-12に伝える。残りの信号は、制御ストア・レジスタ201-15又はIRSWを介して伝えられる命令からのフィールドにより伝えられる。

書き込みアドレス・レジスタ203-22は、スイッチ202-4を介してロードされ、レジスタ201-15に含まれるマイクロ命令のフィールドの1つにより表示される如き現行プログラム命令のビット9~12又はビット14~17において何かに応じる信号を記憶する。又つて、書き込みアドレス・レジスタは、スクラッチパッド・メモリー203-10の汎用レジスタの1つに信号をロードしあるはこれを要すためのアドレス記憶を伝える。書き込み操作は、表示しないクロックされた書き込みフリップフロップの2進数1への切換えに対し、あるいはレジスタ201-15へロー

ドされるマイクロ命令のフィールドに對して応答して生じる書き込みクロック信号の生産と同時に生じる。書き込みフリップフロップにより生成される時、次のPDAクロック・パルスの発生と同時に書き込みフリップフロップが2進数零にリセットされる時に書き込みクロック信号が生じる。これは、次の命令の処理を開始する間プログラム命令に關する書き込み操作を発生させる。

書き込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0, 1又は15のアドレスを記憶する毎に出力回路に命令を発生するように作用するセレクタ・スイッチ203-14を介してデコーダ回路203-28に伝えられる事が判るであろう。この信号は、書き込みフリップフロップが7進数1の状態にある時、回示しないゲート回路により書き込みクロック・パルスの発生を禁止する。更に、デコーダ回路203-28は、プロセス状況レジスタ204-20からモード命令を受取る。プロセス200がマスターはスレーブ操作モードにある事を示す信号の状態は、

出力信号で「AND」され、プロセス制御レジスタ204-22およびスイッチ201-14の例外-割込み位置の選択を生じる1つに対する入力として与えられる別の出力回路上の例外信号を生じるよう使用される。本文に説明したように、この状態は、スクラッチパッド・メモリー-203-10とプロセス状態レジスタの場所(GRO)の内容の変更を阻止する。

アドレス指定されたレジスタの場所の内容は、最初の2位置のデータ・セレクタ・スイッチ203-18を介してスクラッチ・パックア・レジスタ203-16に読み込まれる。次いでこのパックア・レジスタ203-16の内容は、別の2位置のデータ・セレクタ・スイッチ203-20を介して処理セクション204に選択的に与えられる。データ・セレクタ・スイッチ203-14、203-18および203-20の各々の異なる位置は、レジスタ201-15に読み込まれるマイクロ命令に含まれる異なるフィールドにより選択可能である。スクラッチパッド・メモリー-203-10は、

プロック204-12の4つの作業レジスター内のいずれか1つに実式的に書き込まれた1つの二進バスから与えられるデータ信号を受取る。

16個のレジスタの各組は、現行プロセスの型別に応じて記憶のためのプロセス状態レジスタ(PSR)の場所(汎用レジスタ0)を含む。レジスタの最初の8ビット位置は、割込みモジュールを識別するよう符号化された時間情報を記憶する。次の位置は、操作モード(即ち、マスターはスレーブ)を識別するよう識別するよう符号化された時間ビット位置である。このレジスタも又、レジスタ内容が変更できるかどうかを表示するよう符号化された外部レジスタのビット位置と、アドレス・モード・ビット位置と、2つの条件コード・ビット位置と、晚上げビット位置と、想定するプロセスが活動状態にある(即ち、「プロセス・タイマー」として作用する)閾値的に複数されるカウントを記憶するための22ビット位置とを含む。修正又は既存のために必要なプロセス状態レジスタの内容に対するアクセスの異常

の故に、このレジスタの内容を表わす信号は、処理セクション204のレジスタ(即ち、レジスタ204-22)の1つに記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みが発生と同時にセクション204のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは、更に、想定するプロセスの現行命令のアドレスを記憶するための命令カウンタ(汎用レジスタ1)を含んでいる。更に、各グループのレジスタは、ページ・テーブル基底レジスタ(汎用レジスタ15)、およびオペランドとアドレス情報とのカーネル記憶を提供するための多段の汎用レジスタ(汎用レジスタ2-14)を含んでいる。スクラッチパッド・メモリー-203-10は又、最高メモリー・モジュール500に記憶される例外制御ブロノクおよび割込み管理ブロノク・テーブルの基底を指示する絶対アドレスを記憶する制御ブロノクカ基底(CBB)レジスタの場所を含んでいる。未して変更されないレジス

タの最高先頭位(レベル0)の現用最初のレジスタGROは、制御ブロックの基本機能を記憶する。割込み時間ブロック(CBB)テーブルは、割込みタイプを処理するための機能を記憶する256グループの記憶場所を含んでいる。例外制御ブロック(ECB)テーブルは、例外タイプを処理するための機能を記憶する16グループの記憶場所を含んでいる。

例えとは、プロセサ200を目的的に16の例外制御ルーチンの1つを入れるプロセサ演出による条件である。この例外条件は、プロセサがマスター・モードに入る時プログラム命令のビット10-13に対応する4ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号(ECB#)は、例外処理ルーチンを指示する4ワードの例外制御ブロック(ECB)の1つを識別するのに使用される。ECBのバイト・アドレスは、制御ブロック・ベース(CBB)-16(ECB#+1)と算しい。各ECBは、プロセサ200が例外ルーチンに入る前に、現行プロセス状態す

る機能を記憶するためのスタック区域として作用する堆積区域ポイントに加えて、レジスタPSR, I.C.およびPTBRをロードするための数値を含む。
割込み制御ブロック(ICB)のアドレスは、割込みブロック・ベース(CBB)-1.6(ICB+)と書かれ、ICB+は前述の如く割込みコードから導られる。同様に、ICB+は4ワードのブロックであり、レジスタPSR, I.C., GR14およびPTBRに対する数値を含む。

送受セクション204

このセクションは、プログラム命令の処理に必要な装置操作の全てを実現する。セクション204は、1対の36ビットのオペランドに対して算術、シフトおよび論理的操作を実現する能力がある。加算/シフト装置204-1を含む。装置204-1が元算装置又はシフト装置果分のいずれかにより主導する場合は、マイクロ命令に応じて選択され、その後1対の出力回路上の4位置データ・セレクタ・スイッチ204-8をプロック204-1.2の作動レジスタがいずれかに対

し、およびデータ出力レジスタ204-1.4に対しても選択的に選択される。データニカシノス・204-1.4はプロセサ・データ・インターフェース600の回路に接続する。

上記の目的のためにには、加算/シフト装置204-1は構成上に公因と考えられる。又、装置204-1は、J.P.スタッフフォード(Stafford)の特許第5,811,059号に掲示される如き同様か、本文の図面出部端に記載された如きに掲示される回路を含むものでもよい。

プロック204-1.2は、命令カウンタおよび命令実行の間のアドレスに対して一時的記憶を与える4つの作動レジスタR0乃至R3を含んでいる。これ等レジスタは、スイッチ204-8に接続されたソースの内のいずれかに即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCR、スイッチ204-2.4およびスクランチバッド・バッファ入力スイッチ203-1.8)からロードできる。ロードされるべきレジスタおよびこのレジスタのロードに必要なとされ

る割込み信号は、レジスタ201-1.5に読み出されるマイクロ命令に含まれるフィールドにより選択される。

第7図から判るようだ、各レジスタは1対の出力バスWRPおよびWRRに接続される。WRPバスは、アドレス入力204-5と、スイッチ203-1.8と、スクランチバッド・メモリー-203-1.1に接続する。WRRバスは、Aオペランド・スイッチ203-2.0と、Bオペランド・スイッチ204-1と、レジスタ204-2.0と、レジスタ204-2.2に接続する。WRPおよびWRRバスに接続する他の選択されるレジスタは、レジスタ201-1.5に読み込まれたマイクロ命令に含まれる1対のフィールドにより選択される。

第7図から判るようだ、次第セクション204は、プロセス状態レジスタ204-2.0とプロセス状態レジスタ204-2.2を含む。前述の如く、プロセス状態レジスタ204-2.0は出力バスWRRを介してスクランチバッド・メモリー-203-1.0からロードされる。プロセス状態レジスタ

204-2.2は、全ての8つの割込みレベルに共通な36ビットのレジスタである。

プロセス状態レジスタ204-2.2のビット位置は、下記の情報を含む。ビット位置0~8は、下記のものを含む異なるタイプの算算マスター・モードの例外を表示する。即ち、

PCRビット位置	例外タイプ
0	操作不完了、回路ARA又はARDA上のSIU1.00からの応答なし、
1	ページ・アドレスは虚拡張となる (キー検査)
2	ページ・アクセス電荷
3	メモリーに存在しないページ
4	遠送操作
5	プロセス・タイマーのラン・アウト
6	オーバーフロー
7	ロック・アップ電荷
8	アドレス位組合せ不良

用語「虚拡張」は必ずしもハードウェアの構成を意味せず、エラー条件等を含む。

ルに対して指令を転送するのに使用されるS10
100に対して横向き端子を取る。レジスター201
～15に記述されたマイクロ命令に含まれるフィ
ールドの1つは、メモリー操作又はP1指令のい
ずれかに対する適切な宣言を選択する。メモリー
指令に対する横向き端子は、マイクロ命令中に含
まれるフィールドから、スクラッチパッド・メモリ
ー204～4からのページ付アドレス端子又は
バスWRPからの地址アドレス端子と共に生成さ
れる。

R/W命令に対しては、横向き端子は以下のよう
に生成される。即ち、ビット0はR/W命令に対する
2進数値であり、ビット1は周波ノリモード・
メモリーを選択しつつPTWビット0(ページ付
けされる)又はWRPビット0(絶対)に対応する。
ビット2～4はPTWビット1～3(ページ付け)
又はWRPビット1～3(絶対)に対応する。ビ
ット5～6は、並列度か2倍用度を選択を表示し
かつ出し操作か読み込み操作のサイクルかを表示
するよう符号化されるマイクロ命令のフィールド

ビット位置9～15はパリティ・エラーの場所
を識別し、ビット位置23～26はPNIDおよび
AID回路から要するプロセサ命令およびレベル
を識別する。ビット位置27は読み出し禁止ビット
であるが、ビット位置28～35は、2進数
1でセメントされるとビット位置と対応するレベル
(例、ビット28=レベル0)における読み込みを
表示する読み込み要求ピン、を記憶する。ビット位
置27～35は、出力バスWRPを介してプロッ
ク204～12のシグナル・バンクからアコグラ
ム命令によりコード可能である。各レジスター204
～209と204～22の内容は、2進数のデータ・
セレクタ・スイッチ204～24を介して4位置
データ・セレクタ・スイッチ204～8の位置の
他の1つに対する入力として選択的に選えられる。
レジスター204～20は又、2位置の横向きセレク
タ・スイッチ204～10および4位置のアドレ
ス・セレクタ・スイッチ204～6のP1位置に
選えられる。

横向きスイッチ204～10は、適正なセグマー

の1つのビットに設定する。メモリー・サイクル
の開始から指令の開始と同時に、横向きスイッチ
204～10からの信号は、信号をプロセサ200
データ・インターフェース600の適当な回路
に与える横向きレジスター204～16にコードされ
る。前述の如く、別の横向き端子を含む指令は、P1
指令の場合におけるアドレス・スイッチ204～
6の位置2により選えられる。

又車両からも判るようだ、處理セクション
204～6、WRPバスに接続されたレジスター1つ
からアドレス端子を受取るアドレス入力204～
5を介してアドレス指定可能なスクラッチパッド・
メモリー204～4を含む、スクラッチパッド・
メモリー204～4は、専用メモリー・セグメン
タル500をアドレス指定するための専用アドレス
を生成する専用される8つの読み込みレベルの各
々に対してページ・チャブル・アドレス記憶端子を
与える。アドレス指定される時、スクラッチパッ
ド・メモリー204～4の記憶容量の内容は、ア
ドレス・スイッチ204～6の4位置の内の2つ

に選出される。これらの2つの位置は、周波メモ
リー・セグメント500のページ開合のために使
用される。スクラッチパッド・メモリー204～
4のページ付け操作は特に本発明には関連しない
ため、本文においてはこれ以上詳説に及ばない。

アドレス・セレクタ・スイッチ204～6の他
カ2位置はメモリー又はP1指令を与えるために
使用される。即ち、レジスター201～15に記憶
されるマイクロ命令ワードのアドレス端子フィ
ールドにより選択される時、アドレス・スイッチ
204～6の位置1はR/Wメモリー指令情報を
生成し、この情報は、マイクロ命令ワードの予め
定められたフィールドに従つてビット0～8、お
よびメモリー204～4からのページ付けされる
アドレス端子又はプロック204～12の構成レ
ジスターにより出力バスWRPに与えられる絶対ア
ドレス・ビットのいずれかに対するよう符号化さ
れたビット9～35を含んでいる。スイッチ204
～6のP1位置が選択される時、このスイッチは
プログラム初期インターフェース指令ワードを生

セクション570-17、制御回路セクション500-6、入力スイッチ・セクション570-8、および出力スイッチ・セクション570-10を含む事が叫ろう。出力スイッチ・セクション570-9カバー1つと入力レジスタ・セクション570-12は、前述の如くSIU100のスイッチを介してプロセサ対P0又はマルチプレクタ・モジュール570のいずれかに接してデータがおよび画像情報を転送しつつこれを受取る。

図7足は更に詳細に示されたカソシニ・ストア・セクション570-2は、構成する制御回路570-21を有するカソシエ500-27と、構成する記憶回路500-24を有する分離記憶装置500-22と、ヒット論理回路500-26を図示の如く見てなる。カソシエ・ストアは、各々が複数上位の複数個のバイポーラ回路チップから構成される4つのレベル間セクションに構成されている。各レベルは、各バイト・セクションが5つのバイポーラ回路チップを含む8つのバイト・セクションに分割される。この回路チップ

は、この複合ワードにおいては、ビット0は2進数値であり、ビット1はレジスター201-15に記憶されるマイクロ命令ワードのファイルドにより与えられ、ビット2はPSRレジスター204-29のビントにより与えられる現行プロセスがあるれ表示ストラを変更できるかどうかを規定し、ビット3～8はレジスター204-20のビット4～7に等しくモジュール5カポートはアブチヤンセルを規定し、ビット3はSIU100より与えられるプロセサの番号を指定するよう符号化され、ビット4は0であり、ビット9～15はP1命令のアドレスにて与えられるバスWRPのビット0～35と等しい。

モジュール・モジュール500の構造

第6図に、本機構造のシステムと、本発明の貢献内容による局別メモリー・モジュール500の構成した構造例を含む三重ブロックを示す。同図で見て、モジュール500は、図示の如く構成されたカソシニ・ストア・セクション570-2、補助記憶装置セクション500-4、入力レジスター

に五つが123個のアドレス指定期間な2ビット内の記憶場所を含み、チップは合計すると64ブロックのアドレス場所即ち256のアドレス場所を構成し、このアドレス場所では、各ブロックは、エフードが4バイト(1バイト=9データ・ビット+1パリティ・ビット)を含む4、40ビットブロードとして定義される。

奇偶記憶装置500-22は各カソシエ・ブロックのアドレスを記憶し、同時に4つのレベルで構成される。図7足570-22は、カソシエのどのレベルが次の操作サイクルの間に書き込まれるべきかを規定するための操作ロジック・カウンタ装置(未示)を含む、異なるレベルのカソシニに30ビットのカウムを規定し、カソシニ・ブロードは2つのこのようなカウムを含んでいる。奇偶記憶装置500-22は、このようにカソシニにおける各ソート毎に記憶する各々のカウムに分配されて来る。二重構造の目的のために、この機能は公知と考えられた。R-Eランジ(Lange)等の実用特許第3,845,474号に開示される構成

に類似するものでよい。カソシエの操作サイクルの間、4つのバイトが8つのセレクタ・回路の1つの番号を介して出力マルチプレクタ・スイッチ500-10に現込まれる。

この奇偶記憶装置500-22はブロック500-24の比較回路にアドレス信号を伝える。電気上は公共のこれらの回路は、要求されている情報が4つのレベルのいずれかにおけるカソシエに存在する(即ち、ビットの存在)かどうかを検出するよう作用する。比較回路500-24は、元の要素をブロック500-28のヒット回路で五える。このヒット回路500-28は、更に、ブロード500-6の制御回路回路に対する入力として与えられるビット表示を記憶する。補助記憶装置セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、160ビットの出力レジスター500-42と、データ訂正パリティ発生回路500-44と、ブロード500-46の多数の制御回路を第7図に示す如く構成されてなる。回路500-48はカウ

モードを記憶する、ヒガバノワ・ノンスイ

500-122と500-123は、リクエスト・モジュールによりインテラフェース603のDTMモードに与えられるZAC 指令のデータ・ワードを受取るよう尋ねられる。レノスク500-122と500-123の内容は、2つのマルチブレクタ・スイッチ500-8の1万の異なるバイト位置に与えられる。スイッチ500-8は又補助記憶装置から読み出されてカッシュ500-20に書き込まれるデータを受取る。

ZACレジスタ500-120の指令内容はプロック500-6に含まれるコード・ゲート回路に与えられ、アドレス信号はプロック500-6の路回路と全般記憶装置500-72とカッシュ500-20とそのアドレス指定のための補助記憶装置500-40とに配分される。

プロック500-6の範囲内は、ZACレジスタ500-120に記憶された指令により指定される操作を実行するための局部メモリー・モジュールの異なる部分を条件付けるための各種の制御シ

ンタおよび運算回路等を含んでいる。これは電子上は公知であるが、メモリー・モジュール500-2の全操作を同期するためのタイミングおよび制御信号を含む。

補助記憶装置500-40は、構成上公知の4KのMOS メモリー・チップから構成され、各ワードが4ビット(32Kブロック)を有する128Kのメモリー・カードの容量を有する。データ修正パリティ装置内蔵は、補助記憶装置500-40から既にそれがかつてに書き込まれるワードにおけるミラーを映し出す修正するよう作成され、本装置の目的のためには、これ等の回路は構成上公知と考えられる。

第7回から判るように、入力レジスター・セクションは、ゾーン、アドレスおよび指令(ZAC)レジスタ500-120と、第1のワード・バッファ・レジスタ500-122と、第2のワード・バッファ・レジスタ500-123を示すの如く示してなる。ZACレジスタ500-120は、第9回に示されるフォーマットを有するZAC 指

およびタイミング信号を生成する。これは、それぞれ補助記憶装置500-40に書き込まれ、又補助記憶装置500-40とカッシュ500-20から読み出されるデータ信号のグループを選択するため、入力マルチブレクタ・スイッチ500-8および出力マルチブレクタ・スイッチ500-10にてする記憶装置信号を含んでいる。本装置の目的のためには、正面で説明される第8回の構造のために、マルチブレクタはデータ・セレクタ回路およびレジスターは構成上公知と考えられ、前述のチャプター・インストルメンツ社の文献に記載される回路形態をとつてもよい。

第8回では更にはモードノンク500-6、500-21、500-26および500-46の範囲内のあるものを示す。同時ににおいて、プロック500-6の構成回路は複数個のAND/NANDゲート500-60乃至500-61および500-62は、ZACレジスタ500-120からZAC指令ビット信号およびカッシュ・バイバ

ス信号が異なるものを受取るよう尋ねられており、これらの信号は示すの如く分配され、ゲート500-64と500-74に与えられる。その結果得て読み出しロードおよび読み込みロード指令信号は、カッシュ制御回路500-21、登録制御回路500-26および補助記憶装置制御回路500-46に示すの如く与えられる。RCL0 00およびHR100の如き他の指令信号も又補助記憶装置500-46に与えられる。

第9回から判るように、カウンタ制御回路500-21は、書き込みクロック使用制御回路500-214に対し書き込みカッシュ・タイミング信号を与える並列書きされたAND/NANDゲート500-210と500-212を含んでいる。書き込み制御回路500-214は、構成上公知の複数ゲート回路を含み、この回路は書き込み操作サイクルの実行に必要とされるカッシュ500-20に付して適切なタイミング信号を与える。更に、制御回路は、補助記憶装置500-40からデータのプロックをカッシュに書き込むために必要とされる

こうなアドレス・ビット3-2の位置を修正するよう作用するAND/NANDゲート500-216乃至500-222を更に含む。

同時に、各登録回路母線は、直列接続されたNAND/ANDゲート500-260、500-262、500-264を含み、この最後のゲートは各込み回路500-264に各込み登録回路タイミング信号RDR100を与える。この各込み回路500-264に構成上は自己の論理ゲート回路を含み、この回路は各込み操作サイクルの実行に必要な登録回路装置500-22に加して複数のタイミング信号を与える。

補助記憶装置請求回路500-46は、直列接続されたAND/NANDゲート500-460乃至500-468を含んでいる。これらのゲートは補助記憶装置要求信号BSREQ100および制御データ信号を生成して補助記憶装置の出力信号書き込み操作サイクルを開始すると共にSIU100に付する補助記憶装置データの転送を許容する。

第8図の最後の回路グループは第7図のヒット・

レジスタ回路を構成する。この3基は又元々全く接続されたANDゲート500-281のみにNAND/ANDゲート500-280と500-282を含む。これらAND/ANDゲート500-280は、比較回路500-24からその両側の元数信号を受取り、ゲート500-282にてして優先度比較の表示を與える。ゲート500-282の出力は更にヒット・レジスター・ラップフロップ500-284のセット入力端に与えられる。NAND/ANDゲート500-284は、ラップフロップ500-284のリセット入力端を瞬時にこれに与えるSIU100からの電入れZAC信号を受取る。ラップフロップ500-284からの2進数1および零の出力信号は、その後單8回に示された複数箇所の異なるものに配分される。

システム・インターフェース装置100の構成

制込みセクション102

システム・インターフェース(SIU)100は、前述の如く、複数個のクロスバー・スイッチを介

して第1図のシステムの各モジュール間の通信を行ふ。モジュールが各インターフェースの回路から信号を取めるため別個のクロスバー・スイッチが使用される。第5図は、モジュール制込みインターフェースを実現するための制込みセクション102のスイッチおよび回路を示す。第1図のシステムにおいては、その多くがその制込みインターフェース602の各回路を介してSIU100に付し信号を与えるポートLNO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートJと接続する制込みインターフェースを介して信号を与える。

第5図から判る如く、サービスを要求する時、各モジュールは、制込み優先順位および制御ブロック101-2の各回路に与えられるそのIDA回路における複数の制込み優先順位と共に、その制込み要求(IIR)回路に信号を与える。ブロック101-2の端子号は、全ての制込みインターフェースをセニタリし、実行中のブロックスよりも高へ優先順位を有する要求がある時、ブロ

セサ200にに対する強制的なプロセサに信号する。プロセサ200がこの要求を導入れる事ができる事を信号する時、SIU100は、優先順位の要求と照應する複数の信号をプロセサ200に対してゲートする。この複数の信号は、パリティ・ピクトを含む8ビットの制込み制御ブロック信号と、3ビットの制込みレベル信号と、パリティ・ピクトと4ビットのチャンネル信号を有する1ビットのプロセサ信号を含んでいる。

更に詳細に制込みセクション102について考察すれば、ブロック101-2の各回路は、プロセサ信号および制込み要求信号を復号するデコード回路を含んでいる。パリティ・エラーがなければ、デコード回路からの出力信号は表示されたプロセサの優先順位処理回路に与えられる。この優先順位処理回路は、制込みレベル信号を復号し、最優先レベルを決定し、次いでポートの優先順位を決定しその結果最優先順位レベルと最上位のポート順位を有するモジュールが選択される。与えられたレベルにおける制込み

ポート順位は下記の如くである。

ポートD；ポートJ；ポートA，ポートB，ポートC；ポートD；ポートE；ポートF，ポートG；ポートH；ポートJをよびポートK。

この事は、第1回のシステムにおいては、現行プロセスのポートが優先順位を有し、これに次いでSIU1 00，高速マルチブレクタ300，上位プロセサ700，プロセサ200，および低速マルチブレクタ400となる事を意味する。

プロシクタ101-2の優先順位並列は、9個のエーチ構成1つに二位順位を生じるこうに作用する。但し、これはシステム内の制込みモジュールの属性である。9個の出力並列は、レジスタ101-6にコードされるべき現在進行中のレベルより高い優先順位を有する制込みレベルの制込みレベル信号を過渡する8位置のデータ・セレクタ・スイッチ101-4に与えられる。レジスタ101-6からの出力信号は、高レベル制込み存在(HLIP)並換又はレベル存在(LZP)回路の前に2進数1に強制するSIU1 00に応答してブ

ロセサ200がIDR回路を2進数1に強制する時、AIL回路に与えられる。現行プロセスが制込みを実行しない場合、制込み要求はプロセサ200に現行プロセスを中断させ、前述の並列子機能を有するSIU1 00からの制込みコードを受入れさせる。更に、この制込みコードは下記の如く変式化される。即ち、

ビット0は新たな制込みピント位置である。2進数1にセットされる時は制込みが新らしいものである事を示し、2進数零にセットされる時は制込みが再起されるべき前に制込みが行われたプロセスでの制込みである事を示す。

ビット1～17は使用されず、2進数零である。

ビット18～27は制込み制御ブロック番号を規定し、ビット18と27は2進数零にセットされる。

ビット28～31はSIU1 00により生成され、本機能により本文に明確するようICソース・モジュールを識別する。

ビット32～35は多言ポートを有するモジュ

ールにより生成され、本文に明確するよう本文組によりソース・モジュール内のサブチャンネル又はポートを識別する。

プロシクタ101-2の指向路の構成に端してこれらとの連絡を切りなければ、本文の指向出力順位に付した「優先順位制込みハードウェア」なる名称の指向中の各指向出力を参照されたい。

又、制込み優先順位並列101-2からの出力並列に付のデータ・セレクタ・スイッチ回路101-8に与えられる事も当然であろう。優先順位を有する要求側のモジュールのみがセレクタ回路101-8に信号を与えるため、セレクタ回路は、優先順位を与えられた要求側のモジュールが選択する元請けポート(即ち、制込みコードのピント28～31)を識別する前の定められたワイアド・イン・セントの符号化指向信号を與えるように構成されている。

最も高い優先順位においては、下記の指向コードが第1回のモジュールの識別のものと成される。即ち、

コード	識別されたSIU1ポート(モジュール)
0000	局端メモリー・モジュール-ポートLM0
0001	ポートK
0010	SIU1 00-ポートJ
0101	低速マルチブレクタ400-ポートI
0110	プロセサ200-ポートG
1101	高速マルチブレクタ300-ポートA
1110	上位プロセサ700-ポートE

セレクタ回路101-8により生成された4ビット・コードは、既に、ゲート回路網101-12に含まれる公知のANDゲート回路のグループに与えられる。モジュール・システムにより与えられたモジュール子機能は又並列網101-12の他のゲート回路で与えられる。即ち、各モジュールは、制込み制御ブロック番号(ICBN)をそのIDA回路を介して8位置のデータ・セレクタ・スイッチ回路101-14の別の1つの位置に与える。更に、エモジュールは、ソース・モジュールの指向機能のサブチャンネル又はポートを識別する回路

を割込みインターフェースの【MID】回路を介して回路網101-12のデータ・回路の別のものに与える。プロセサ270がその割込みデータ要求(DR)回路を2進数1に復数する時、SIU100はデータ回路網171-12からの信号を、4回音のデータ・セレクタ・スイッチ回路101-20の4回音の1つを介してプロセサのデータ・インターフェース670のSIU(DFS)バス回路からのデータに与える。スイッチ171-2の他の位置に、二進制の音符に開通しないため示さない。

データ伝送セクション102

図30はシステム・インターフェース100のデータ伝送セクション102を示す。このセクションは、どのソース・モジュールがそのプログラム回路インターフェース671上のマルチブレクタ300に信号を伝送するか、又どのソース・モジュールがそのデータ・インターフェース680上のマルチブレクタ300に対してデータを伝送するかを確定する優先順位回路を含んでいる。更に、セクション102は、どのソース・モ

ジュールがデータ又は指令のヘビタムを送り、モード・モジュールは自らに既考しているかを決定する優先順位回路を含んでいる。

1台のモジュール間の転送は一方のモジュールが他方のモジュールに対し要求を生成した時に生じ、又この要求は他方のモジュールにより受け入れられる事が判るであろう。要求が受け入れられるためには、要求側のモジュールは最高優先位を持たねばならず、両方のモジュールは情報を受取る次第になければならず、転送が生じる結果機器が使用不能(或ら使用でない)でなければならない。

プロセサ270によりセクション102に与えられる信号に端しては、これ等信号の発生は大きな場合で第2回のプロセサ・レジスタ201-15に現出されるマイクロ命令の異なるフィールドにより左右される。例えば、プロセサ270から活動出力ポート要求(AOPR)は、現出し/書き込みメモリースはプログラム回路インターフェース指令の転送を規定するよう符号化されるレジスタ201-

15に現出されるマイクロ命令のSIU要求タイプ割りビット・フィールドに従つて使用可能の状態となる。2回音のデータ・セレクタ・スイッチ102-2に与えられたプロセサ・データ・インターフェース680のSIUデータ回路(DTS)は、第2回のプロセサのデータ出力レジスタ204-14にコードされるマイクロ命令領域下で生じる信号情報を確定する。SIU・横向データ(SDTS)回路は、第2回のプロセサ映画レジス+204-16にコードされるマイクロプログラム領域下で生じた信号を受取る。

第1又はシステムにてては、I/O プロセサのみがマルチブレクタ300から信号を受ける。プロセサ270が回路網102-4に信号を与える。更に回路網102-4はデータ回路を含み、この回路はプロセサ・モジュールがマルチブレクタ300に付して指令の転送を受ける地点を確定するためプロセサ・モジュールからの横向情報回路を複数する。1つ以上のモジュールが同一のマイクロ命令転送を受ける時、1つ以上のI/O プ

ロセサの場合には、回路網102-4に含まれる優先順位回路網は、最高優先位を割り当てられたモジュールを識別し、そのプログラム回路インターフェース680のPDFS回路上のマルチブレクタ300に対する前記モジュールによる信号の転送を抑制する。更に、回路網102-4は、通常モジュールからの信号を識別する2位のセレクタ・スイッチ102-2に信号を与える。この状態は、マルチブレクタ300がPIR回路を2進数1に復数する事により信号を受入れる用意がある事をSIU100に対して信号する時に生じる。同様に、回路網102-4はAPC回路を2進数1に復数してマルチブレクタ300に対しPDFSに与えられた信号を受入れる事を信号する。プロセサ270がマルチブレクタ300に付してプログラム回路インターフェース(P.I.)命令を割り当てる命令を実行する時、プロセサ270は命令のビット3にプロセサ命令の識別をおく。マルチブレクタ300は、プロセサ命令が前述の如く割込みデータの一連として含まれる読み込み要求を與す

る事を欲する迄に含まれるプロセサ信号を記憶する。P1 指令がマルチブレクタ300に命中されると、リクエストとしてプロセサ200を復制する専用回路はマルチブレクタ300(ポートA)と接続するレジスタ102-6に記憶される。前述の様に、マルチブレクタ300がSIU100に対する既存シデータ伝送要求を生じる事により記憶する時、レジスタ102-6の内容にデータを受取るための專用モジュールとしてプロセサ200を復元するのに使用される。

専用モジュールがデータ信号をマルチブレクタ300に転送する事で使用される。異常ににおいては、メモリー・モジュール500は、データをマルチブレクタ300に転送する唯一のモジュールである。このような転送は、前述の如く回路網102-2-20を介してマルチブレクタ300によりメモリー・モジュール500に命ぜられる既出メモリー指令(ZAC)にて示して生じる。マルチブレクタ300が指令を命ぜりする時、SIU100は、マルチブレクタ300から受取るマルチポート

ブレクタ300に転送する用意がある(マルチブレクタ300は専用を受取る用意があるものとする)事を信号が表示する時、デコード回路網102-14は適当な信号をセレクタ・スイッチ102-12およびデータ回路網102-16内蔵の専用回路に与える。

更に、デコード回路102-14はデータ・インターフェースの既出メモリーデータ受入(ARDA)回路に信号を与えて、マルチブレクタ300に対してこれがそのインターフェース600のSIU(DFS)回路からのデータを受入れる事を信号する。プロトコル102-16の専用路はSIUからマルチポート専用子(MIFS)専用に付して適当なマルチポート専用子専用を與えて、RIFM回路から與られる専用路のナブティヤンキルを識別する。結果が生じると、専用路102-14はRDAA回路を2進数1に強制して、データがメモリー・モジュール500より受入れられた事を受取るモジュールが信号する。

回路網102-14が識別した専用SIU100

ト専用子専用に記憶する専用SIU100の専用モジュールエコード(専用コード)を生じる。この専用は、メモリー・モジュール500により記憶され、モジュール500が既出メモリーデータを生じるSIU100に與られて、マルチブレクタ300がデータを受取る。又、SIU100が専用を受入れる時、これは専用ARDAを2進数1に強制する事によりマルチブレクタ300に与えられる。

既出データ伝送要求(RDTR)回路は、メモリー・モジュール500によりシフトされる時、回路網102-14に対して1操作サイクルの間既出させ専用を転送する用意がある事を信号する。専用メモリー・モジュール500は又、信号をメモリーからのリクエスト識別子(RIFM)回路に与えて、専用が記憶されるべき専用のモジュールを識別する。

更に、デコード回路網102-14内蔵の専用はRIFM回路に与えられた識別信号を信号し、専用メモリー・モジュール500が専用をマルチ

に用いて第1回のモジュールのどれかからP1指令およびメモリー指令を専用メモリー・モジュール500に転送する。モジュール500は、プログラム専用インターフェース又はメモリー指令のいずれかを受入れる用意のある時、デコード回路網102-20に与えられるプログラム専用インターフェース要求(PIR)回路又はZACインターフェース要求(ZIR)回路のいずれかを2進数1に強制するよう作用する。更に、プロセサ200、プロセサ700およびマルチブレクタ300は、専用回路102-20の信号を活動出力ポート要求(AOPR)に、又複数データをその各々のデータ・インターフェースのSIU回路に与える。専用回路102-20は、各モジュールにより与えられる専用専用の専用と同様に、メモリー・モジュールのデータ・インターフェース600の専用SIUデータ転送回路に対して信号を最優先順位を有するモジュールに与えさせるための3位置のセレクタ・スイッチ102-24に適当な信号を生じるよう作用する。又、ゲート回路102-26

を介して最末メモリー・モジュール・インターフェース603の各メモリー要求識別子(RITM)回路上の適当なリクエスト識別信号と共に、プログラム可変指令受入れ(APC)回路又はZAC 指令モード受入れ(AZC)回路のいずれかに対して回路端102-2-2が信号を伝える事も判る。

最後の2つの回路端102-3-0および102-4-0は、それぞれプロセサ200により前記生成されたメモリー指令およびPI指令にて定義して、メモリー・データを上記プログラム可変インターフェース・データをプロセサ200に対して伝達するため電界される。あるいは図から判るように、最先端位データ回路端102-3-0は、回路端102-1-4と同じ入力回路を有し、同じ方法で最も右側のデータ・セレクタ・スイッチ102-3-2と4位置セレクタ・スイッチ101-2-0を介して要求されたメモリー・データをプロセサ200に伝送する。プロセサ200は一連の1つの指令を処理するため、プロセサ要求にて定義してプロセサのDFS回路に伝達するた

めにデータをセレクタ・スイッチ101-2-0に与えられモジュール間での競合が生じぬない事が判る。即ち、プロセサ200が某1つのモジュールの1つに指令を送つた時、その操作は瞬時に要求されたデータの受取りを優先する。SIU100は、プロセサの要求の發入れと同時に、プロセサに選択操作を開始するプロセサのARA回路を駆動する。

別の回路端102-4-0は、PI指令にて定義されたモジュールからの戻りデータ要求を処理する。回路端102-4-0は、表示しない時のモジュールのレジスタと共にレジスタ102-6からRDTR回路に与えられる信号を獲得する。モジュールが要求されたデータをプロセサ200に與そうとしている時(即ち、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト識別子)をSIU100が検出する時、回路端102-4-0は、プロセサ200に対して要求されたデータを戻すようとするモジュールのPIインターフェースのPDTS回路からの信号を与えるよう3位置データ・

セレクタ回路102-4-2を条件付ける信号を生じる。これ等信号は、更に、モジュール要求信号により条件付けられる最も右側のセレクタ・スイッチ101-2-0を介してプロセサのDFS回路に与えられる。次の操作サイクルの間、回路端102-4-1はRDAA回路を2進数1に初期し、PDTS回路にて与えられたデータが受け入れられた事およびモジュールがこの時このようなデータを読み込めた旨の出力レジスタをクリア)できる事をモジュールに対して信号する。このように、スイッチ101-2-0は3つのタイプのデータのどれでもプロセサのデータ・インターフェース600のDFS回路に選択的に与えられる事が判る。

二回路の目的のためには、最も右側の各プロックにて内蔵される諸回路は、構造上は公知と考えられ、チャサス・インストルメント社の前記文献に見かれる論理回路を含めてよい。又、本回路の目的のためには、サムス回路は公知のクロスバー・スイッチでもよい。

高速マルチプレクサ300

共通セクション

第4項は更に詳細に共通セクション301とチャンネル・アダプタ・セクション302の一例を示す。第4項において、共通制御セクションは、2位置データ・セレクタ・スイッチ301-1を経てマルチプレクサのプログラム可変インターフェース601のPDTS回路を介して受け取ったPI指令のコードを記憶するための1対のレジスタ301-2と301-5を含んでいる事が判る。スイッチ301-1は、別の経路(即ちDFS回路1からのPI指令信号をレジスタ301-2と301-5にロードさせる。然し、図ましい実用構成においては、PDTS回路のみを使用する。又、レジスタ301-4はドライバー回路301-3を介してインターフェース600のマルチプレクサ・データのDFS回路に与えられたメモリー・データを受取る事も判る。

両レジスタ301-2と301-5から共通信号は、ブロック301-8のドライバー回路を介

して4つのチャンネル・アダプタ・セクションの2位置データ・アダプタ・スイッチ301-6を見て選択的に与えられる。又、指令信号は、2位置データ・セレクタ・スイッチ301-42を介して8位置データ・セレクタ・スイッチ301-20の1位置に選択的に与えられる。同じスイッチ301-42も又、レジスタ301-40からブロック301-43のドライバ回路を介して4チャンネル・アダプタ・セクションの各々にデータ信号を与える。

1位カバリティ複数回路301-45と301-49は、レンスター301-2と301-5と301-43の内容に対する検査を行い、その結果を長手寸信号をCスイッチ301-50に与えられる状況信号を生じるブロック301-4の該回路に与える。これ等の回路は構造上は公知の論理回路を含み、この回路はレジスタ301-2からの信号をチャンネル・アダプタ・セクションからの信号と合算して、プロモテ200から受取る指令を実行するのに必要な制御信号を生成する。

14ビットの割込みデータ(EDA)レジスタ301-22に選択的に与えられる。ブロック301-12の24ビット・レベル・レジスタの各々のグループのビット位置は、8位置のマルチプレクタ異常スイッチ301-26乃至301-28の別の1つ1つで定める位置に与えられる。又、ブロック301-12の各レベル・レジスタは、4位置セレクタ・スイッチ301-30と8位置セレクタ・スイッチ301-32が異なる位置に接続する事もあるであろう。又、ブロック301-14の8ビット・マスク・レジスタの各々は、4×8セレクタ・スイッチ301-32の異なる位置と、ブロック301-34の割込み可否優先順位およびタイプ機能回路に接続する事もある。

前段文からあるようだ、ブロック301-34の回路は、チャンネル・アダプタに取付けられたコントローラ・アダプタにより示される割込み信号属性に、チャンネル・アダプタから割込み優先度を受ける。更に、各Cモードチャンネルは4つの異なるタイプの割込み要求を生成できる。

更に、レンスター301-5からの信号にて、ブロック301-8、301-15および301-16のドライバ回路を経てブロック301-10、301-12および301-14の複数個のレンスターの発光させて1つにコードし導く。ブロック301-10は、構造上は公知であり、内起のオキサス・インストルメンツ社の文献(例,T17481)に表示されたレンスターを想定とり導る4つのビクト・レジスタからなる。これ等レンスターのエンドからの出力信号は、4位置セレクタ・スイッチ301-34と8位置セレクタ・スイッチ301-32からの選定する信号と共に、セレクタ・スイッチ301-20の刺込み位置に対して入力として選択的に与える事ができる。チャンネル・アダプタ・セクションのICB、レベルおよびマスク・レジスタの内容は、P【指令】応答してテストおよび検査操作の実施中に現出す事ができる。

更に、ブロック301-10の刺込み制御ブロック・レジスタは、刺込みレベル優先順位回路301-24により生成された信号に応答して

これ等は、表示しない特殊状況レジスタ内のパリティ・エラー・インジケータ・ビットのセットティングにより生じる複数刺込みを含み、前記レジスタは、ブロック301-4の一束、データ制御ワード(DCW)刺込み、プログラム可能刺込み、および再生命令等の塊出により生じる例外刺込みとして与える事ができる。複数刺込みは、4つの全てのチャンネルに対して同じであるブロック301-34に対して1つずつ入力を有するように各チャンネルに共通とされている。

モコントローラ・アダプタも又、アダプタに接続された装置のタイプに依存する4つの異なるタイプの刺込み要求を生じる。ディスク装置の場合に、刺込み要求のタイプは下記のものを含む。即ち、パリティ・エラーの塊出により生じる複数刺込み、回転位置を感知する刺込み、データ転送終了刺込み、およびシーケンス操作のオカオフ・ライン操作の完了により生じるオフ・ライン刺込みである。この4タイプのチャンネル刺込み要求および4タイプのCA刺込み要求は、一緒に事業EVO

る最高先端位を有する明込コード、データ送信する。各チャンネルに対するミピクトコードは、データ、マルチブレクサのセレクタ回路301-25の301-28の明込する1つに与えられる。プロック301-34により生成されたデータコードの組合せ、主電池レベル、タイプ・セレクタ・スイッチ301-35の位置で明込するものに対して入力として与えられる。

各マルチブレクサ回路301-25が明込301-28は、プロック301-34の電荷池により使用領域にさせられると同時に、明込レベルを元々位置は明301-24に明込するものとして得たるビットカレベル・コードを与える。回路網301-24は1つの箇所に信号を生じ、この回路は、プロック301-10のICBLレジスターに対する転換入力として、スイッチ301-35と、4位置の明込用マルチポート識別子IMIDスイッチ301-36を接続する。回路網301-24がより生成された信号は、最高先端位を有するチャンネル又はポートを表示する。1つ以上のチャ

乃至EV7と表わされるCAチャンネル毎に8タイプのグループを示す。各タイプの明込み要求は、4つカナチャンネル・タイプの明込み要求がEV0-EV3に明込する0-3の番号を付し、4つのマントニーラ・アダプタ・タイプの明込み要求がEV4-EV7に明込する4-7の番号を付されるように3ビット・タイプの番号が明込で与えられる。更下位のコードをする事無し、最も高位をする(例えば、000=最高先端位=EV0=最高明込)、111=最低明込タイプ=EV7=マントニーラ・ライン明込)、異なるタイプの明込み要求の明込要求は重複され、タイプ番号により決定される。各チャンネルは、プロック301-4により与えられる共通電池入力と共に、プロック301-34に対する7つの明込み要求入力を与える。

プロック301-1-54内の箇所では、プロック301-14のマスク・レジスターの各々からの信号を、各チャンネルおよびアダプタからの明込み要求信号と論理的に合成し、各チャンネルに対する

シエルが同じ優先順位をする場合には、回路網301-24の各回路は最下位のチャンネル番号を割り当てられたチャンネルを選択する(即ち、CA0=00XX=最高先端位、CA3=11XX=最下位等)。マントニーラ・アダプタがデータチャンネル又はポートを有する場合、CA1からCA1次の番号はスイッチ301-36の下位の2ビットで書かれた番号を示す。スイッチの上位の2ビット印字は、示すチャンネル・アダプタ番号(例えば、00=CA0、等)を恒久的に示す。スイッチ301-36の出力は、第4章で示されるIMIDレジスター301-23に与えられる。

プロック301-1-10の選択されたICBLレジスターからの出力信号、選択されたマルチブレクサ回路からのレベル信号、およびプロック301-34からのタイプ信号は、IMIDレジスター301-22にて示される。又、これ等の信号は、レジスター301-22に明込される。更に、これ等の信号は、レジスター301-22にて示された信号に対する1つの共同パリティ・ビットを生成するプロック301-

37のパリティ発生回路で算もられる。レジスター301-22の一組と示される列のフリップフロップ301-21は、プロック301-34の各回路から信号を受取り、明込み要求の存在を表示する。

第4図から判るように、ビット・レジスター301-40に記録されるデータ信号は、2位置データ・セレクタ・スイッチ301-42のHレンジ側に信号を介して2位置のチャンネル明込(CW)スイッチ301-44に与えられる。スイッチ301-44の第1の位置は、セットされる時、プロック301-48の後先端明込用回路により生成される信号にて示して選択された4グループのチャンネル・アダプタ・ポート・レジスター301-46の1つをロードする。レジスター301-2と301-45が示したチャンネル・アダプタから信号を受取るプロック301-48の出力端子は、二位置を巡回順序とし出力レジスター301-49に与える。グループ301-46のレジスターは、周連するポートのリスト・ポイント

ワード(LPW)を記憶するための40ビット・レジスタと、書き出し可能な状態であるべきデータのアドレスを記憶するための40ビットのDAレジスターと、現行データ転送操作に関するメモリーおよび動作情報を記憶するための40ビットのレジスター。DTを含む、4つのチャンネル・アダプタ・セクションのアドレッサーに、ブロック301-48の電圧格から、元情報を受取る4データ・セレクタ・スイッチ371-50の異なる位置で接続する。スイッチ371-50からの出力信号は、ニラーを介して不要を検索するため使用するパラティ映像部371-56に次えて、1行の元電圧格371-52と371-54に並えられる。元電圧格371-52はスイッチ371-57を介して選択されるレジスターの内容を更新するよう作用するが、元電圧格371-54はメモリ信号をパリティ映像部371-58に並える。回路371-57と371-58からの信号は、スイッチ3701-44の更新回路端子を介して選択されたレジスターに與される。

会議場、P1データ信号およびチャンネル・アダプタ・データ信号を記憶する。これらのレジスターからの出力信号は、マルチプレクサのデータ・インペーラニース600カDTS回路又はマルチプレクサ・インペーラニース601のPDTS回路のいずれかに並えられる。ブロック3701-64のZACレジスターがロードされる時、この状態はAOPRアリノブコップ3701-65を2高段位に切換えて、マルチプレクサはメモリー(ZAC)指きを介してデータの転送が可能な状態を要求している事をSIU100化情報を示す。スイッチ3701-59を介して並えられる複数のメモリー映像部はレジスター3701-67に記憶され、パリティ映像部主映像部3701-68に映像部のものの許可パリティを発生するよう作用する。

作業の仕組

本装置のシステムの作用について、第1回を第1回と第2回と並んで以下に説明する。簡単に説明すれば、モジュール500は、以下の如く実現される5つの異なるタイプのZAC指令が可能である。

第4回から記述するように、スイッチ3701-50の出力信号は、専用スイッチ3701-59を介して8ビットの専用レジスター3701-69と、DTスイッチ3701-70に対して直接的に並えられる。データ・セレクタ・スイッチ3701-50と3701-61の場合は、前述のソースにて見て各チャンネル・アダプタ・セクションCA1～CA3のDF回路からデータ信号を受取るよう接続されるDTスイッチ3701-70から出力信号を受取る。DTスイッチ3701-70とZACスイッチ3701-61からの出力信号は、パリティ映像部主映像部3701-62とブロック3701-64のレジスター・バンクに並えられる。更に、スイッチ3701-61は、マルチプレクサ3700が本構成と関係のない専用モードで操作される時、ブロック3701-4に並えられるチャンネル・アダプタ・サービス回路から導かれるゾーン信号が映像部を受取るより前段されている。それぞれZAC、PDTS、データ1、データ2と表示されるブロック3701-64の4つのレジスターは、メモリー指

である。即ち、

1. 書出し権指令

アドレス指定されたメモリー・ロケーションの内容(1ワード)が写出されてリクエストに接続される。メモリー内容は変更されない。ZACビット0はカッシュがロードされるかバイパスされるかを選択する。もし、もしこのブロックが既にカッシュ内でロードされていれば、探しサイクルがカッシュ内で行われ情報がカッシュから取出される。

2. 書出し／クリア権指令

アドレス指定されたメモリー・ロケーションの内容(1ワード)が写出されてリクエストに接続され、メモリーの場所(1ワード)は補正なパリティ(或らEDAC)ビットで常にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカッシュにコードされない。もしこのブロックが既にカッシュにおいてロードされていれば、アドレス指定されたワードもカッシュ内で常にクリアされる。

3. 記出し指命

メモリーの場所(2ワード)のアドレス指定された時の内容が記憶されてリクエスト・ワードに送達される。メモリー内容は変更されない。ZACビット9は、カッシュがコードされるかバイバスされるかを指定する。然し、もしこのグロッケが常にカッシュ内でコードされなければ、送出レジスタルがカッシュ内で行われ、複数がカッシュから取出される。

4. 寄込み指命

リクエストにより与えられるデータ・ワードの1乃至4バイトにアドレス指定されたメモリーの場所に記憶される。記憶されるべきバイトはゾーン・ビットで指定される。ゾーン・ビット5, 6, 7および8はそれぞれバイト0, 1, 2および3を割当する。記憶されないバイト位置のメモリー内容はそのまま止まる。

5. 寄込み複数命

リクエストにより与えられる2つのデータ・ワードは、アドレス指定された時のメモリーの場所

に記憶される。

異なるZAC指命に対する指定のコードは下記の如くである。他の可能な11のコードが選択として規定され、本文に述べるようないニーラー操作を生じる。

指命	ゾーン	カッシュ・バイパス ビット
1 2 3 4 5 6 7 8 1	9	
0 0 0 0 0 0 0 0 1	0 / 0	記出し
0 0 1 0 0 0 0 0	-	記出しクリア
0 1 0 0 0 0 0 0	1 / 0	記出し複
1 0 0 0 1 1 1 1	-	寄込み(ノーン化)
1 1 0 0 1 1 1 1	-	寄込み複

例えば、対P0のプロセサ200の一方が局蔵メモリー・モジュール500の照合を指定する一連のプログラム命令の実行を開始するよう作用するものとしよう。この場合、最初の命令と次の命令は、操作権を記憶する汎用レジスターを指定する少くとも1つのフィールドとアドレス・シラブルを含む別のフィールドを含むように書式化される。汎用レジス

トの指揮項の内容は、2箇数字にセットされたものと仮定されるバイバス・ビット9の状態を規定する。プロセサ200はこの情報を合成して絶対アドレスを生じる。

絶対アドレスが一せん計算されると、プロセサ200は、所要のメモリー指命ワードと、号先メモリー・モジュール500に対して指命を指向するための適当なSIU操作情報を生じる。この操作用と指命は、図9に示すフォーマットを有する。

前述の事について更に詳細に考察すれば、各命令のOPコードは、ZAC指命の生成により算出されるメモリー命令属性を指定するよう形態化される。第1の命令のOPコードは、命令レジスター・スイッチ201-2-4によりメモリーに場所の1つを用意されるメモリー201-2に与えられる。場所の次第は、レジスター201-4に印込まれ、命令初期に必要なマイクロ命令ノーケンスの初期ストップ201-1-2における記憶アドレスを指定する1つのアドレスを含む。

現行命令の実行中に開始する命令間隔の最初の間、次の命令の指揮ビットは、スイッチ203-1-4の位置3(即ち、Rev. XR1)を介してスクランチパッド・メモリー203-1-0の汎用レジスターの場所の指定された1つをアドレス指定するため使用される。この場所の内容はバソファ203-1-6に提出される。

指揮レジスターの内容は、スイッチ203-2-0の位置0を介して加算回路204-2のAオペランド入力に与えられ、命令の定位フィールドはスイッチ204-1の位置0を介して加算回路204-2のBオペランド入力に与えられる。この2つで一時に元算され、その結果はスイッチ204-1を介して作算レジスターR2に転送される。指定された指標の第2のレベルが存在する時、第2の汎用レジスターの場所に記憶された数値をレジスターR2における時に記憶された数値に加算する簡単な操作が行われる。ビット9に対する適当な数値が、第1の汎用レジスターにおけるよりも第2の汎用レジスターにおいて記憶される事が容易に向る。

であろう。

命令の実行順の間、プロセサ200は、戻し操作を指定する局部メモリー500に対してZAC指命を生成するよう作動し、メモリー204-4又はR2レジスターのいずれかから得られる選択されたメモリー・アドレスを伝える。他のアドレスを指定したて、レジスターR2からのアドレスはWRPバスに伝えられ、アドレス・スイッチ204-6およびクロス・バー・スイッチ204-8のRWモードを介してデータ・アウト・レジスター204-1上にロードされる。

操作スイッチ204-10は、メモリーの操作サイクルに対してSIU・命令指命を送れる。信号は第9又のウォーマットを有し、R/W指命を局部メモリー・セジユール500又は、セジユール500が選択するポートLMOに転送するためSIU100により使用する端子を取る。これ再びマイクロプロセラムの別図下にあって、レジスター201-15から、又操作スイッチ204-10のR/W状態を介してアドレス・スイッチ204

-15から時計レジスター204-16のビット位置7-8にロードされる。

マイクロ命令フィールドの符号化、および局部指命の生成に関するこれ以上の詳細については、「バスファインダ装置システム」および「メモリー・アクセス・システム」なる名称の規則中の該節参照を要請されたい。

レジスター204-4と204-16のローディングに成りて、プロセサ200はAOPR回路を2進式1に駆動し、この状態がR/W指命を局部メモリー・セジユール500に伝達するための信号シーケンスを実現する。又、プロセサ200は命令カウンタ(1C)を増分し、その結果を作成レジスターR3に記憶する。次にプロセサ200は、ARA回路を介して要求の受け入れを表示するSIU100から信号を受取る次のマイクロ命令の実行を開始させる。

SIU100は、1回のSIUサイクル、即ちデータ・サイクルが既くアドレス/指命サイクルを要求する即くR/W指命を検査する。局部メモリー

セジユール500が指命の受取りの用意があるものとすれば、ZIR回路は2進式1である(第11又において、方形は負の論理信号の形態で示される)。第36回のSIU・命令指命回路図102-4は、SIUセレクタ・スイッチを介して指命ワードを操作サイクルの局部メモリー・インティニアース602のDTM回路に対し与えるよう作動する。プロセサ200は、SIU100がARA三端を2進式1に駆動する迄、データ・アウト・レジスター204-14に情報を収容して待機する。同時に、SIU100はZAC回路を2進式1に切換え、R/W指命の受け入れをセジユール500に対して信号する(第11又参照)。

ARA三端における状態の変化の度合と同時に、プロセサ200はマイクロ命令の別図下で命令の處理を完了する。即ち、プロセサ200には、要求されたデータ・ワードが前述の如くSIU100から要求される迄待機する。

ここで、メモリー指命は既に同じ操作を指定するよう符号化され、バイパス・ビット9はカウン

エ500-20がバイパスされないがロードされる(即ち、ビット9=0)事を指定するよう符号化されるものとする。前述の如く、ビット9の状況は既出し指命および既し複指命の場合にカウンタ500-20のローディングを制御する。

第11又および第7回においては、ZAC指命ワードの指命およびアドレス・データが、両端1T(即ち、システム・クロック・パルス1Tが2進式1から2進式2に切換る際のセグメント)におけるZAC回路からの信号AZC100に応答してZACレジスター500-120にロードされる事が明る。ZACレジスター500-120に記憶されるDTM信号17-33からアドレス信号は、第7回に示す如く、登録算出指命500-22と登録算出指命回路500-24に対して入力として与えられる。

更に、DTM回路26-32に与えられるアドレス信号は登録算出指命500-22をアドレス指定するためのブロノク・アドレスとして使用され、回路DTM17-17に与えられるアドレス信

特開昭53-84632(3)

号に、音量電圧込み動作の場合はに音量電圧記憶装置500-22に書き込まれる信号にて行する。音量電圧記憶装置500-24に書きられる同じアドレス信号は、データのブロックが既にカッシュ500-12に存在するかどうかを判定するため使用される。

又、回路DTM17-33にて書きられるアドレス信号は又、データがカッシュ500-24に存在する事が見出されない時これらのデータのブロックから中二ナビゲーション記憶装置500-40に書きられる事も判るであろう。

第11図から、音量電圧記憶装置500-22の書きがもし要求された情報が既にカッシュ500-20に記憶されていたかどうかを判定するため即時開始される事が判る。この操作操作は、クロック・パルス1Tと2Tの間隔において行われる。この事例では、プロセッサ200により要求される情報は全くカッシュ500-20に存在しないものと仮定する。

第8図においては、ブロック500-6の時回

路がZAC信号のビット1～4がエンドモードである事が判る。ビット1～4と9が全て2進数であるとの、信号RCL000とWR000は相互共に2進数1である。従つて、ゲート500-61にて信号RR100を2進数1に強制して取出し信号の存在を表示する。この信号は、ゲート500-62と500-460に対する入力として与えられる。

バイパス・ビット9の状態の確認を表示するゲート500-62にて書きられるNULOAD000信号が2進数1である事が判る。信号LVIE/DE000は通常、局蔵メモリー・エラースに音量電圧エラーがない時2進数1である。要束されている情報がカッシュ500-20にないものと仮定するため、信号HIT000とHITREG100はそれぞれ2進数1と2進数零に対応する（即ち、ヒフト端出なし）。補助記憶装置のタイミング信号BST8000は、ゲート500-68をして信号RDLDT100を2進数1に強制させるタイミング・パルスT8の間、2進数零である。従つて、ゲート500-62は

信号RDLOAD100を2進数1に強制する。

信号RR100とHIT000はゲート500-460を経由して取出し又は未使用信号RD/MISS000を2進数零に強制する。これは、ゲート500-462をして補助記憶装置の信号信号BSCMD100を2進数1に強制する。取出し指令が有効である（即ち、適正なコードおよびフォーマット）を仮定すると、信号TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号SL04T/NSL02T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100を、タイミング・パルス1Tと2T（第11図参照）及び音量電圧に2進数1にて強制するよう作動する。これは補助記憶装置500-40に対してメモリー操作アイドルの指示を発する。

このこうな要求に応じて、補助記憶装置500-40に出力シグナル500-42に対する160ビットのデータを書き込むよう作動する。このデータは、第11図に示す如くタイミング・パルス

T7の発生に先立つて回路500-44の出力にて適正な形態で生じる。クロック回路500-48からの補助タイミング信号BSBT101の発生と同時に、信号RDLOAD100はゲート500-260をして書き込み音量電圧信号WRDIR000を2進数零に強制する。これは、更に、音量電クリア信号DRCLR000が2進数1である時、使用可能な書き込み信号ENABDIRWR100を2進数1に強制する。この信号は、音量電圧記憶装置500-22がクリアされている時を除いて2進数1である（クリア操作に関しては米国特許第3,845,474号参照）。

第11図から判るよう、音量電クリア信号CLKDIR100の発生と同時に、ゲート500-264は書き込み音量電圧信号WRDIR100を2進数1に強制する。

信号WRDIR100は、書き込み用ゲート回路500-266に適当なタイミング信号を各音量電レベルの接続回路ICに対して与えさせる。これは、音量電記憶装置500-22の回路DTM17-25

に与えられたアドレス信号を、回路DTM26~31を介して与えられたアドレス信号により指定される場所に書き込まれる。

第11回から、同じ時間間隔において補助記憶部500-46から提出される最初の80ビットがカッシュ510-20に書き込まれる事がわかるであろう。更に、カッシュの書き込み可能回路500-214は、第11回から明らかのように、タイミング・パルスBTと10Tの書き込みカッシュ信号WRCACHE100により条件付けられる。即ち、信号MISS100は、「セント」の平三しない場合には2進数1である。補助記憶部500-500-46からのタイミング信号BST10101はタイミング・パルス10Tの時は2進数1である。従つて、ゲート500-68は、補助記憶部信号BT8000が2進数零の時のタイミング・パルスT8、および信号LDSC\RD80000が2進数零の時のタイミング・パルスT10の間、信号RDLDT100を2進数1に強制する。

ゲート500-62は信号RDLOAD100を2進

数により指定されるマップに書き込まれる。この時、アドレス・ビット32は2進数零である。タイミング・パルスT10の前にアドレス・ビット32は複数され、タイミング・パルスT10の間にレジス \times 510-42に含まれる上位の80ビットはスイッチ500-8を介して与えられてカッシュ510-20に書き込まれる。アドレス・ビット32の次は、データのブロックに対応する全160ビットをカッシュ500-20に書き込まれるように、回路500-216乃至500-222により操作される。

これは、補助記憶部の初期回路500-46からの下位の80ビット、信号LWR80170の複数性により行われる。更に、信号LWR80100が2進数1（下位80ビットを書き込み）である時、ゲート500-718は信号RDLDIV80000を2進数1に強制する。ゲート500-722は、アドレス信号CAADDR52100をしてZACレジス \times 500-120に記憶された状態アドレス信号をとらせる。即ち、アドレス・ビット32が2進

数1に複数し、これが更にゲート500-74をして信号RDLOAD000を2進数零に強制させる。従つて、ゲート500-210は、初期回路8Tと10Tの書き込みカッシュ信号WRCACHE100を2進数1に強制する。このように、第11回から明らかのように、カッシュ・タイミング信号CLK141の昇降と同時に、書き込みカッシュ信号WRCACHE100を2進数1に強制するよう作成する。これが既出し指令であるから、信号WRLOAD000が無視できる（即ち、2進数1）事が判るであろう。

書き込み信号信号WRDIR100と同時に、書き込みカッシュ信号WRCACHE100はカッシュ書き込み可能回路500-214を条件付けて、各カッシュ・セクションに与えられるタイミング信号を生じる。

タイミング・パルスT8の間、信号RD00~RD71を及びPDP0~P7に対応する最初の80ビットは、入力スイッチ500-8を介して与えられて回路DTM26~31に与えられるアドレス信

号1の時、信号CAADDR52100は2進数1である。然し、信号LWR80100が2進数零（上位80ビットを書き込み）に強制される時、信号RDLDIV80000は2進数零に強制される。この時、アドレス信号CAADDR52100は2進数零に強制される。

データは出力スイッチ500-10にRHSして入力として与えられる。出力スイッチ500-10は、信号HITREG100とBSRD100に応答してゲート500-468により2進数1に強制される使用可能信号ENABBSDATA100により使用可能な状態にされる。更に、回路500-6は、160ビットのどのカードがプロセッサ200に対して書き込まれるか決定するためスイッチ500-100にRHSして適切な選択信号を与える。選択信号は、ZACレジス \times 500-120に記憶されるアドレス32と33を映射する事により得られる。データは、第11回に示されるようにタイミング・パルスT10の間DFM回路に与えられる。信号メモリー・モジュール500は回路RDTR

を2進数1に切替するよう作用して、2進数1に切替されたARDAにより信号されるデータ(既述の前段に述べてプロセサ200がデータを送入れた時、ZAC信号により前に要求されたデータが使用可能となる事)をSIU100に送り、SIU100はRDAA信号を2進数1に強制する。この状態は、データが受けられた事およびこのデータをDFM空欄から除去できる事を要求メモリー、セグメント100に記入して停止する。

第11段から、要求された既述記憶装置のデータがプロセサ200に送りられる時、要求されデータにより要求されるデータのブロックも又、バイバス・ビット9が2進数零にセットされた時、カソニエ5300-200に書込まれつつある事が判るであろう。

第11段から判るように、合160ビットは、次のメモリーの操作サイクルの開始に先立つてカソニエ5300-200に書込まれる。

プロセサ200により要求される情報がカソニエ5300-200に存在する空欄等に取く即ちヒン

ト1の場合に、信号HTC00は2進数零となるであろう事が判るであろう。この信号は、信号520-46が補助記憶装置の要求信号BSREQ100を2進数1に切替える事を禁止するよう作用する。同時に、信号HITREG100は、信号MISS100を2進数零に強制する2進数1である。

次つて、信号RDLOAD100は2進数零の状態を維持する。これに、タイミング・パルスT8の第1、発音済み込み可能信号ENABLEDRW100およびカソニエ書き込み信号WR CACHE100が2進数1に強制せられたためようする。3つのセグメント1に当該の選択カソニエ1が目標5300-6により条件付された時、カソニエ5300-200から読み出されるデータ・ワードはスイッチ500-10およびDFM回路を介してSIU100に反映される。前述の方左により、データ・ワードはプロセサ200に送りられる。

前述の事例においては、取出しメモリー命令はバイバス・ビット9を2進数零にセットさせた。ある場合には、プロセサ200は、要求する情報

がカソニエ5300-200に書込まれない事を必要とする事が判るであろう。この事例は、データ列のワードをアクセスするため、プロセサ200が補助記憶装置100-40に記憶されたリストボイシナー・コード(LPW)からの読み出しのためのメモリー命令を発行する場合である。

前記の事を考慮する前に最初第6段を参照されたい。すなは、データグラム階層でLPWをおよびDCWを書き替へると同時にリストを示している。簡単に言えば、この階層は周辺装置指令の実行に必要とされるものである。命令DCWを呼ぶした周辺装置命令は1DCWテーブルに記憶される。このテーブルで、命令メモリー-500においては階層を構成するデータベースであるDCWリストを記憶する形のテーブル(DCW)に置換する。各IDCWなど、操作メモリ(即、戻し、書き込み、ノーカラー)を構成するセグメントの各命令コードと、各元の命令を指定するセグメントの実質コードを含んで来る。各DCWは2つのデータ・コードその第1は製造情報を含みその第2のものはワード・アドレス

を含むことを有する。第100図はこの2ワードのオーバーラップを示している。LPWのオーバーラップも第100図に示されている。

前述から、各LPWと各DCWのアドレスが、前述の如くメモリー命令の生成の間カソニエ・ビット9の次元をセットするため、プロセサ200又はマルチプルタ300により使用できるビット(即ち、ビット9およびビット4-5)を含む事が判る。

また、プロセサ200ヨリ一回は次に指定のDCWリスト内カニントリをアクセスするためのメモリー命令を実行するものとする。第6図から、上によく、プロセサ200ヨリ一回は最初1DCWテーブルの1つからLPWアドレスを指定せばならない。実行されるべきメモリー命令命令は2つの階層情報を含む。最初の階層情報は、該当の1DCWテーブルの実質アドレスを記憶する見田レジスタを指定するよう汎用化される。第2の階層情報は、1DCWテーブル内の指定のLPWを指定するためのカニントリ番号である汎用レジスタを指定するよ

うが量化されている。

振幅電の1つたビット9を2進数1にセットさせる事が判るであろう。プロセサ对200-0は、補助記憶装置500-40から取出されるLPWがカノンニ500-20に書き込まれる事を欲しないので、ビット9の状態を変化させない。前述の方法により、マイクロプログラムの制御下では、プロセサ200は、ビット9が2進数1である別のZAC提出し單メモリー指令を生成するよう作成する。及び、ZAC指令および通常な操作命令等、それぞれデータ・アクト・レジス^ト204-14と操作レジス^ト204-16にコードされる。

SIU100は、ZAC指令を单メモリー・モジュール500に転送するよう作用する。第7回より单回路においては、ZAC指令およびアドレスがZACレジス^ト500-120に記憶され、そのモジュールに書き込まれる事が判る。メモリー指令が取出し单指令であるため、回路DTM01乃至DTM04に与えられた信号は2進数零である。従つて、信号RR100は再び2進数1に駆動される。然し、

回路DTM09に与えられたカツシエ・バイバス・ビットが2進数1であるため、信号NOLOAD030は2進数零に駆動される。

第8回から、信号NOLOAD030の2進数零の次回はゲート500-262が信号RDLOAD100を2進数1に駆動する事を禁止する事が判る。従つて、マイミング・パルスT8の発生の間、信号を多段に信号WRDIR000は2進数1の状態を維持する。これは、ゲート500-262をして信号書き込み用信号ENABDIRWK100を2進数零の次回に駆動させる。従つて、マイミング信号WRDIR100は回路500-262に与えられない。従つて、信号書き込み可能回路500-266は使用可能にならず、このため信号書き込み操作が生じないようにさせる。

同様に、カツシエ書き込み用回路500-214は、2進数零にセットされる信号RDLOAD100により禁止される。即ち、信号RDLOAD000は、信号RDLOAD100が2進数零である時2進数1である。この状態は、更に、ゲート500-210

をしてカツシエ書き込み用WRCACHE100を2進数零に維持させ、このためマイミング信号WRCACHE100の回路500-214に対する印加を禁止する。従つて、カツシエ書き込み回路500-214は使用可能にならず、このためカツシエ書き込み操作が生じない。

発振記憶装置500-26はカツシエ・バイバス・ビット9が2進数1である事実にも拘わらず空穴として現れる事が判るであろう。もろ局、もし「ビット」が取出されると、指定されたデータ・ワードはカツシエ500-20から取出されてプロセサ200に伝送される。

「失敗(miss)」の場合には、第8回から判るように、ゲート500-464が信号書き込み用信号BSREQ170を2進数1に駆動するよう作用する。その後、前述の方法により、補助記憶装置500-40から取出される要求されたデータ・ワードがプロセサ200に伝送される。然し、信号WRDIR100およびWRCACHE100は生成されないので、第11回に示すように、

機能は一切カツシエ500-20に書き込まれない。プロセサ200がSIU100からLPWアドレス情報を傳る時、ビット9は通常2進数1にセットされる。プロセサ200はDCWがカツシエ500-20にロードされる事を欲しないため、ビット9は変更されずに残される。このように、次の命令の実行中、プロセサ200は、LPWを含みかつ再びバイバスされたビット9を2進数1にセットさせるZACメモリー指令を生じるように作用する。前述の方法により、單純メモリー・モジュール500は補助記憶装置500-40から取出される機能をカツシエ500-20に書き込まれないようにされる。プロセサ200が要求されているデータ・ワードと同じブロックに書き込まれる別のデータ・ワードへのアクセスを要求するような場合には、このプロセサは生成する各ZACメモリー・指令内のカツシエ・バイバス・ビットを2進数零にセットさせよう作用する。

前述の事から、本発明の構成は、補助記憶装置500-40から取出されるなどの機能がカツシエ

500-2に書込されるべきかと言う指命命令に基づいてプロセッサ200-0を制御させる事が判る。更に、又エジソンの場合は、どの機能がカソノニス500-2に書込されるべきかと言う指命命令に基づいてマルチプレクサ300を制御せる、即ち、データ伝送命令操作の実行中、マルチプレクサ300は前述の如くSIC100に対して五ももZAC命令を三示する事を要求される。

例えば、オペレーティング・システムがマルチプレクサ300のチャンネルの1つ(即ち、CA0)を起動状態にし操作を実行する事を要求し、そのモードは既につけてある操作を行つものと仮定しよう。

チャンネル操作を開始するため、プロセッサ200はチャンネル(即ち、CA0)のLPWレジ斯特のローディングを完了するPI命令を生じる命令を実行する。また、又に分けては、命令コードはPCレジ斯特301-2にコードされ、PDレジ斯特301-5と301-4のデータ・コード内容をスイッチ301-6と301-42のPD位置およびCWスイッ

トされたリモコンチャネルに対してデータの転送開始を信号する。

このAUTO フリップフロップは、このチャンネルの2本のモード選択のどちら一方に対するサービス要求信号と共に、最先端位式選択回路301-49に与する4つの入力の1つとして第1のリスト信号を反送させる。回路301-48は、このチャンネルに対する4つの入力をしてどのレジ斯特が選択されるべきかを決定させるこれらの要求サービスの優先度位置を有するチャンネルを選択する。この要求選択回路301-48は、回路301-4に与えられる2ビットのコード(CAO=00)に応じてデータサービス要求を再構成する。要求の結果を生じるプロセッサには生じ一切の操作がない(即ち、データはメモリー、モノニール、カウタから削除されない)ものとすれば、回路301-48が回路301-48に制御信号を伝える。回路301-48は2進数1の信号をチャンネルCA0へ(ANS送信)伝えるよう作用する。この信号は、データ転送のためのチャンネル

モード301-44のHSR モードを介して、PCレジ斯特301-2において記憶された信号にて示して表示されるチャンネルのLPWレジ斯特に記述する信号を生成するようブロック301-4の操作部を操作せらる。

この時 LPWレジ斯特は DCWリストを指示するアドレスを含んでいる。このチャンネルのLPWレジ斯特のローディングに続いて、プロセッサ200は別の命令を実行し、この命令は PDレジ斯特301-5に記憶されたデータ・コードが無視されようとしている旨を表示するコード制御操作を指定する PI 命令を表示する。

PCレジ斯特301-2に記憶された信号コードはブロック301-4の操作部を操作せらる。PCレジ斯特301-2からスイッチ301-6のPDスイッチのPC位置およびWDスイッチ302-4のDTA位置を介して1グループのチャンネル制御フリップフロップ(図示せず)に信号を伝達する信号を生成する。これ等のフリップフロップ(AUTO フリップフロップ)の1つは、セ

CA0を用意させる。

回路301-48を介してチャンネル CA0 から回送りされるリスト信号は、回路301-4をしてCSWスイッチ301-5のLPW 位置を選択せらる。2ビットのチャンネル・コードに対応する信号とリスト信号は、レジ斯特301-65の最初の3つのビット位置にコードされる。レジ斯特301-65の2つの上位ビット位置はデータを要求するチャンネルを識別する。第4の図から判るように、レジ斯特301-65の内容はMITS回路に与えられる。301-48からのチャンネル選択回路からの信号は、チャンネル CA0 に対するLPWレジ斯特の選択を規定する。

LPWレジ斯特におけるアドレスは、回路301-48により与えられる信号にて各して選択された DTスイッチ301-2のCSW スイッチを介して回路301-4からの信号にて各して選択されたパンク301-64のZACレジ斯特にロードされる。更に、回路301-48は、ZACレジ斯特の最初のバイト位置にロードされるZACスイ

新らしいパリティが生じられ、かつその結果がCSWスイッチ301-61の更新位置を介してラインルLPWレジストに更新されるで直向映像301-52と301-54の対応がえられる。更にLPWレジスト内に含まれる直向映像は、直向スイッチ301-50のCSW位置を介して直向レジスト301-60にロードされる。ZACレジストのローディングはAOPRフリップフロップ301-69を2進数1に切換える。

マルチブレクタ300は、最初にこのSIU回路102-27が2進数1に選択される直向ARAによりAOPR回路によって信号された要求を受入れる信号を送る。SIU100はマルチブレクタ300からの要求を受入れた時、AZC回路を2進数1に強制して、これがモジュール500をデータ取出し／収込み操作サイクルを開始するように指向する。図11を図示したように、AZC回路のセグティングと同時に、リクエスト識別信号と、ZAC指令信号とマルチブレクタ300から生じる2進数信号は、回路102-27からの信号に匹敵する。

ZACレジストのローディングの間、LPWアドレスは、2だけ(2ワード即ち8ビット)増分され、
ソテスリ1-61のノーン/指令スイッチ位置を
介して信号を生える。この結果、図9回路示すよ
うなZAC 指令コードの書式化が導かれる。4つ
のオーナンセル入力の異なるもの(例えば、直角又
は斜面モード、既にしては収込み場合、直角又
は2倍速等及びリスト)から与えられた信号は、
ZAC 指令コードの指令部分の代号を規定する。
マルチブレクタ300はZAC指きのみを生じら
れ、ZACレジストのビットを0には常にある。又、
これはリスト・サービスであるので、指令部分の
各ビットは既出し2倍速等指令を規定するよう行
動化される。カノンエ500-20に記載される
LPWアドレスを用いて直向メモリー・モジュール
500からDCW情報を読み出させる事は必要でな
いものの、LPWアドレスのビット9は通常2進数1
にセトされる。このように、ZACレジストに記
せざるZAC指令のオーナン・バイパス・ビット
9は2進数1にセトされる。

ZACレジストのローディングの間、LPWアドレ
スは、2だけ(2ワード即ち8ビット)増分され、

そしてそれぞれインディーフエース6103のPITM
回路と、DTM回路と、SLTM回路に与えられる、

直向メモリー・モジュール500は、データ取
出しへと共に直向映像としてSIU100に展すリク
エスト識別信号を送信する。直向メモリー・モジ
ュール500は、ZIR回路を2進数1に切換える
事によりて与する。この次第は、SIU100をして
リクエスト識別を禁止させる。直向メモリー・
モジュール500は、インディーフエース6103の
それぞれRFM回路およびDPFM回路にマルチ
ブレクタ300から生じるリクエスト識別および
2倍速電信号をよく見て元えて、RDTR回路を2
進数1に強制する事によりSIU100におけるデ
ータの传送を禁ずる。

SIU100は、図11文中示すようだ、RDAA
回路を2進数1に強制する事によりRDTR回路の
データに応答する。これは、直向メモリー・モジ
ュール500に対して、リクエスト・モジュール
500とて与する映像が複数しかつデータ伝送と共
に並行する事を意味する。RDAA回路に対する信

号も又、RDAA回路上の信号の乗りりに依りてク
ロック・バスの接続部にかかるインディーフエー
ス6103上に第2のデータ・ワードを記録モジ
ュール500ICにかかる。動作完了の時点でこのモ
ジュール500は別の指令を実現する事ができる
と直ちに、ZIR回路を2進数1に切換える。

RDAA回路の強制の時点で、SIU100は、要
求質問マルチブレクタ・モジュール300に對して、
データ・ワードがARDA回路を2進数1に強
制する事によりそのDFS回路に与えられている
事を通じる。SIU100は又MIFS ICに対して
リクエスト識別信号を与えて、その結果レジスト
301-68に与ける信号の操作を生じる。回路
301-48に与えられたレジスト301-68
の初期内容で書きされ、CAO 連続回路を介して
オシアンナルCAOを使用回路とするのに加えて、
専用なオシアンナル・レジストの選択を実現する。
最初のデータ・ワードは、ドライバ回路301-
68を介してHレジスト301-43にロードされ
る。その内容はこれからスイッチ301-42の

の用意がされている事を指すする。

前述の如く、DTおよびDAレジス \times にコードされるDCW の2つのデータ・ワードのフォーマットは第1.0と図に示される如くである。データ \times 2.0はマルチブレクタ3.0のモードにおいてはマルチブレクタにより要求されるデータのアクセスを要求するため、オペレーティング・システムはDCB のDAワードのビット4.5を2進数値にセットさせるよう作用する。この状態は、マルチブレクタ3.0にカシンエバイパス・ビントを2進数値にセットさせるZACメモリー指令を生成させる。

この操作中、図第3.01-4は、パン7301-64のZACレジス \times および換向レジス \times 3.01-6.0の発送の3位置をロードするための信号ソースとして、Cスイッチ3.01-5.0のDA位置を選択させる。並つて、ZACレジス \times のビット位置 \times は2進数値でセットされる。このローディング作用は、ZACスイッチ3.01-6.1と、DTスイッチ3.01-2.0と換向スイッチ3.01-5.0の

Hレジス \times データおよびCWスイッチ3.71-4.4のHレジス \times データを介してチャンネルCA0のDTレジス \times にロードされる。最初のワードに現れてクロノク・バルスに亘る事2のデータ・ワードはシグナル3.01-4.2にコードされ、その後チャンネルCA0のDAレジス \times 3.01-4.0に転送される。

前述の如く、回路3.01-4.8からの信号は、選択されるチャンネル・シグナル（即ち、CA0）の制御を実現する。又、マルチブレクタ3.0はチャンネルCA0のリストラストに応答する時、回路3.01-4.8を、リスト・クリップフロップ（置き換え）を2電路間にCA0 チャンネルの接続をリセットさせる信号を生成する。同時に、回路3.02-7は、更に別の制御クリップフロップと現れるアドレスしないチャンネル「便用中」クリップフロップを2進数1の次典に抑制する。これに、更に、コントローラ・アダプ \times 3.03のCAIのチャンネル便用中回路に2進数1の信号を加え、これがアダプ \times に対しこのチャンネルが転送のため

ゾーン/指令スイッチ付管を介して進行する。又、レジス \times 3.01-6.5の最初の2つのビット位置はリクエストとしてチャンネルCA0を識別する事でコードされる。

この時、AOPR回路は2進数1に抑制される。同じ時間間隔において、チャンネル選択に現く第2のクロック・バルスの間、アドレス(DA)は元直角網3.01-5.2により2だけ増分されて、CWスイッチ3.01-4.4の更新位置を介してDAレジス \times に與される。次に、Cスイッチ3.01-5.0のDTレジス \times 位置が選択され、データ・ワード内容は2だけ増分される元直角網3.01-5.2に与えられ、スイッチ3.71-4.4を介してDTレジス \times に與される。

前述の場合に類似する信号ノーテンスが、第7c又のデータ・マスクを有するZAC 指令(即ち、AOPR回路はZACレジス \times がロードされる第2進数1に抑制される)のSIU1のによる転送のため得られる。

ZAC指令に応答する周辺メモリー・モジュール

5.0は、補助記憶装置5.00-4.0から要求されるデータ・ワードを算出すると同時に、情報プロセッサを前述の方法によりカツシエ5.00-2.0に記憶するように作用する。このため、情報はプロセッサ2.0にとつて容易に使用可能となる。

前述の事から、いかにして異なる指令メニューが補助記憶装置5.00-4.0から算出されるどの情報がこれに関連して迅速なアクセスを可能にするためカツシエ5.00-2.0にロードされるべきかに関する指令基準において制御が可能となる事が判る。各指令にその状態がカツシエ5.00-2.0がロードされるかどうかを規定する制御の單独のビントをさせると共に、指令の複数がよいかのようなビントの変更をさむ他の操作の実行を容易にする。

二章頭の多さしい表現例については多くの変更が可能であり、例えば、指令が番号化され符号化される方法、およびある範囲およびイミング信号が生成される方法についての多くの変更が可能である事は明らかであろう。単純化するため、多

この命令に適用の権限を1つのソースのみを示して、同じ権限がタイミング上の制約を少くするため他のノースにより独立的に生成できることを想うのである。

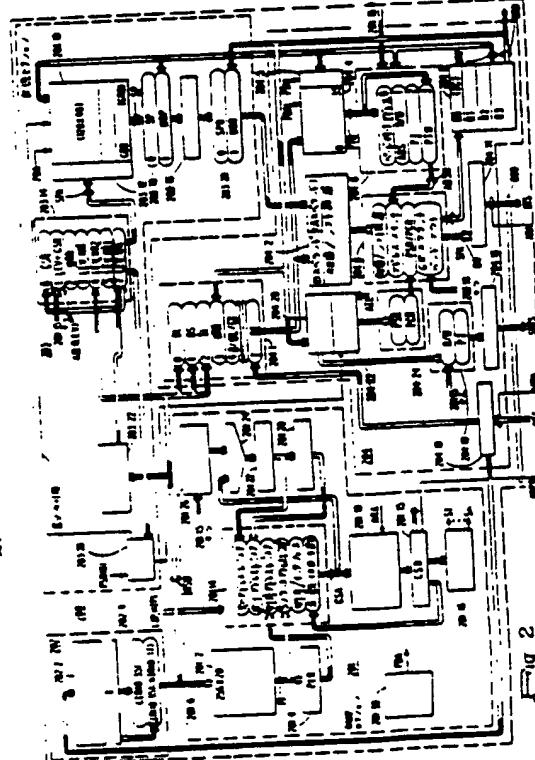
云々の示すものについて本発明の量も優れを特徴について本文に開示し記述したが、本文の権利に該当する事項は請求の範囲に示す如く本発明の三重から想起する事なく本文に記述したシステムについての変更が本件であり、あらゆる点にて本発明の特徴のみが他の特許に記載してある事も無性である。

4. (本章の要旨を説明)

第1文は主導権の原理を実現した出入カシヌテ
ムのブロック圖、第2文は第1圖の出入カシヌテ
ムを更に拡張して示す圖、第3文はより複雑な圖
を示す第1文のノスチム・インイーフニース装置を
示す圖で元十二、第4文は第3圖の拡張版を示す圖
を示す第1文のマルチブレクタ装置を示す圖、第5文乃
至第9文は第1文のモインイーフニースを示す
文、第6文は第1文の周波モセリー・モジユール

新規昭53-84632'38
カブロソク足、第7足は第6足の半脚。モリー・
モニュールを構成示す図、第8足は第7足のあ
る部分を構成示す図、第9足は本装置による
ZAC モリーワイヤのオーマントを示す図、第
10足は前記第10足による装置によるリスト・
ボインター、ワードおよびデータ別個ワードのフ
オーマントを示す図、前記第11足は本装置の
作用を説明するもののタイミング・チャートであ

100…システム・インイーフエース名前(SLN)
102…データ既存セクション、200…ヘニカ
プロモーション、201…駆動セクション、202…
金合パックア・セクション、203…記憶セクシ
ョン、204…処理セクション、300…基礎マ
ルチプレイヤ(HSMX)、400…盛電マルチプレ
イヤ(LSMX)、600…603…インイーフエ
ース、700…上位プロセス、800…主メモリ
…モジュール。



图号 53-84632 (39)

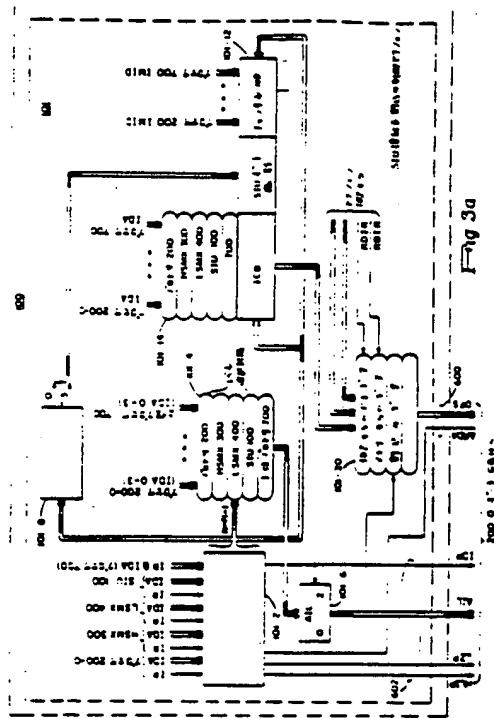


Fig 3a

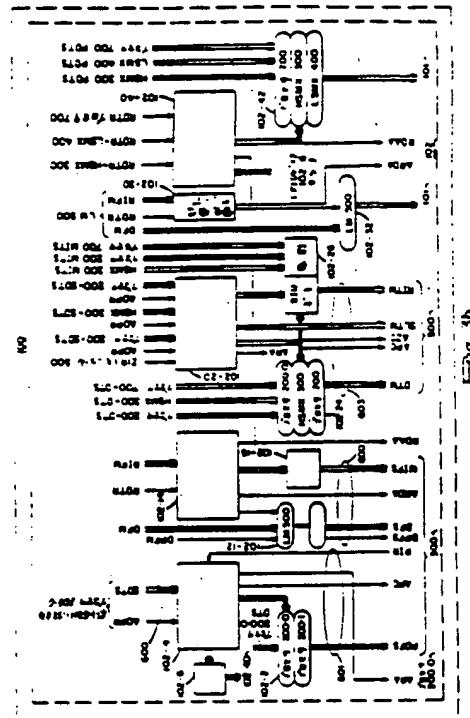


Fig 3b

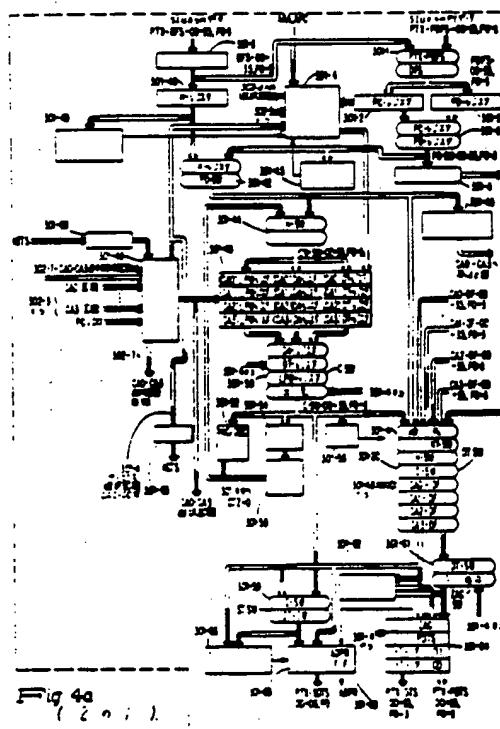


Fig 4a
(201)

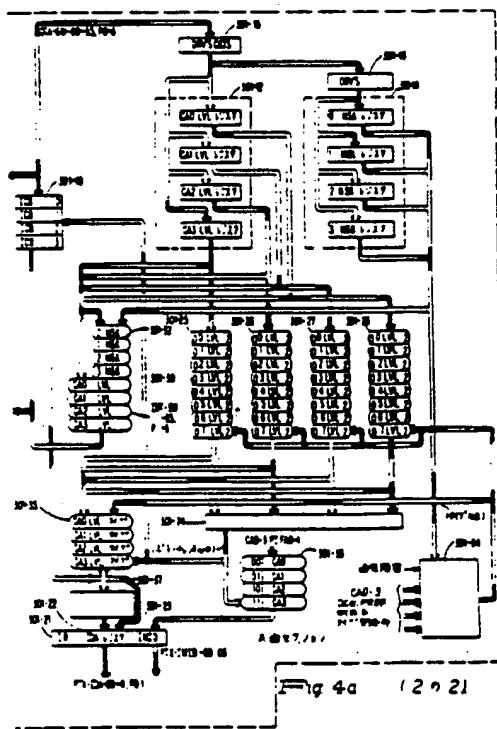


Fig 4a (202)

特質 參53-84632(40)

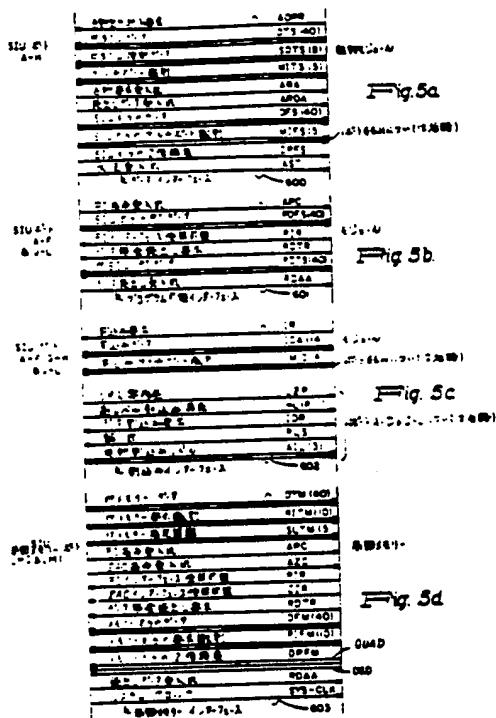
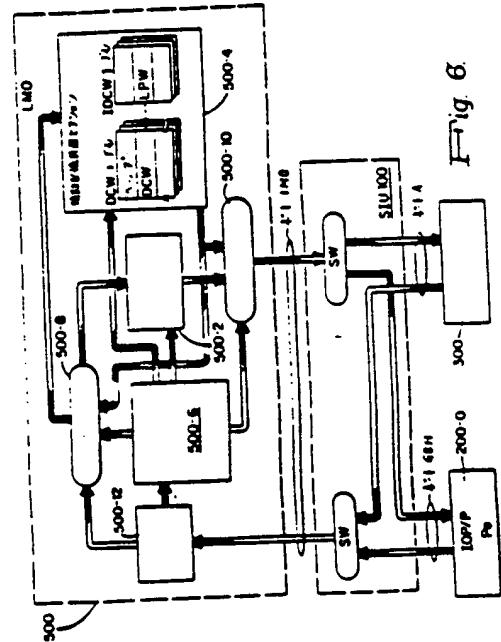


Fig. 5a

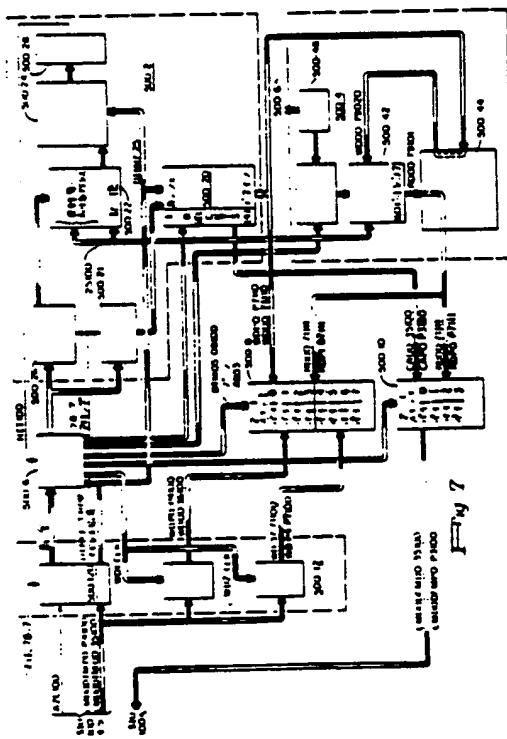
Fig 5b.

Fig. 2

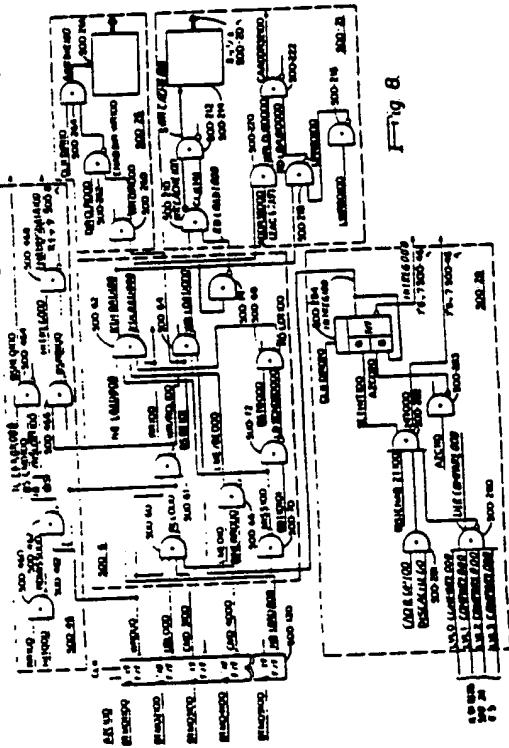
Fig. 5c



Enig. 6

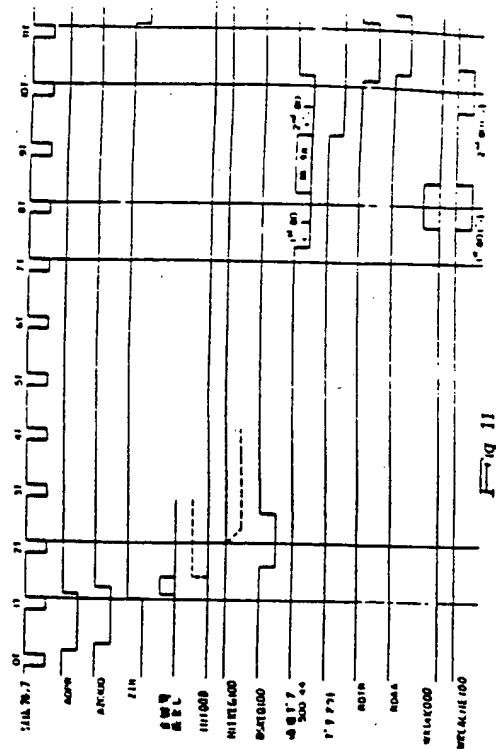
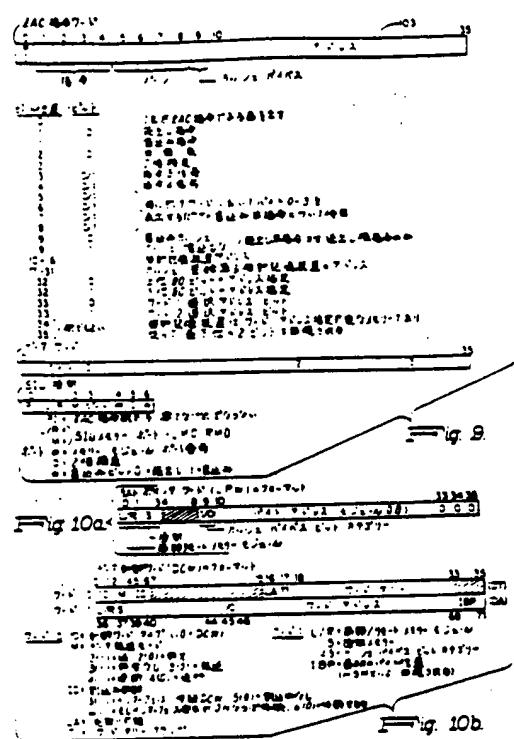


四



8

卷五
84632



Cited Reference (2) Japanese Patent Public Disclosure
No. 106641/1977

②日本国特許庁

③特許当願公開

公開特許公報

昭52-106641

①Int. Cl.
G 11 B 5/09

識別記号

②日本分類
97/7 C 2
102 E 33

厅内整理番号
7056-56
7345-55

③公開 昭和52年(1977)9月7日
発明の数 1
審査請求 未請求

(全 7 頁)

名高速順次アクセス用データ・レコード格納方法

④發明者 高井兵庫

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

⑤特許番号 昭51-23207

⑥出願日 昭51(1976)3月5日

⑦出願人 株式会社日立製作所
東京都千代田区丸の内一丁目5
番1号

⑧發明者 加藤勝康

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

⑨代理人 弁理士 高橋明夫

明細書
発明の名称 高速順次アクセス用データ・レコード格納方法

ドと同一ブロック内の空き区画、又は前記空き区画連続先頭位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

1. ランダム・アクセス可能な記録ブロックを有する記憶媒体に順序関係のあるデータ・レコードを格納する方法において、各ブロックを複数の区画に分割し各ブロック内に所定数の空き区画を残すようにして各区画毎に1つのデータ・レコードを格納し、格納されたデータ・レコードをそれ自身の内部に設けられた連鎖子により順序関係に従つて連鎖し該連鎖の先頭レコード位置及び末尾レコード位置を次々記憶手段に保持し、前記記憶手段中の未使用領域の空き位置を記憶手段に保持し、未用領域中の空き区画をデータ・レコード内記入抜けられた連鎖子により連鎖し該連鎖の先頭位置を記憶手段に保持し、前記記憶手段中に新規に記入されるべきデータ・レコードを格納すべき空き区画を前記未使用領域先頭位置、順序関係で直前のデータ・レコード

と同一ブロック内の空き区画、又は前記空き区画連鎖先頭位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

2. 最初のデータ・レコードと既に格納されてい

るデータ・レコードの中で順序関係に従つて末尾のデータ・レコードの後に追加されるべきデータ・レコードに対しては、前記未使用領域先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項記載のデータ・レコード格納方法。

3. 前に格納されている第1データ・レコードと

それに後続する第2データ・レコードの間に既に記入されるべきデータ・レコードに対しては、前記第1データ・レコードと同じブロック内に空き区画があれば該空き区画を選択しなければ前記空き区画連鎖先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項

又は第2項記載のデータ・レコード格納方法。

4. 位置のブロック内のデータ・レコード格納法

が予じめ決められた順を経えた順番記録ブロック

物語がひんぱんにくり返されると、直次アクセスの性能が極めて劣化することが知られている。

また、ランダム・アクセスが不可能な記憶媒体においては、データ・レコードの挿入・削除・変更は不可能である。

従つて、この方式に一旦、データ・レコードを格納した後にデータ・レコードの挿入が全くできない、あるいは極めて少ない場合につみ通しているといえる。一方、電子開示があるばかりでなく、挿入・削除がしばしば発生する場合に、直次アクセスとしては、データ・レコードをランダムに選ばれた任意の空きレコードへ格納し、データ・レコード自身の中に作成された連鎖子により、データ・レコード間の順序関係を表わす。いわゆるリスト方式がある。この場合、連鎖子には、一般に当該レコードの直前・直後のレコードの位置を記憶している。

この方式によれば、挿入されるデータ・レコードも、特別な手続きによらずに格納することができるが、後述するように、挿入・削除がくり返さ

つ残りの区画たる空き区画を作成することを専任とする特許請求の範囲第1項、第2項又は第3項記載のデータ・レコード格納方法。

発明の詳細な説明

本発明は、コンピュータによるデータ処理技術に係り、比較的低速であり、ランダム・アクセスが可能な記憶媒体上に、電子開示のあるデータ・レコードを効率よく格納するデータ・レコード格納方法に関する。

従来、電子開示のあるデータを格納する方法として、最もよく用いられたものは、電子開示を対象として、記憶媒体上に配置するものであり、ランダム・アクセス可能な記憶媒体だけでなく、シリアル・アクセスのみ可能な記憶媒体においても実現することができる。この方式によれば、格納されたデータ・レコードを重ねて高速に直次アクセスすることができるが、一旦格納されたデータ・レコードの間に、新たにデータ・レコードを挿入したい場合、これは、予め用意された別の領域へ格納され、連鎖子にこつて置換されるため、挿入・

れるに従い、順序関係において複数のレコードが記憶媒体の領域上では、並びしあわなくなるため、直次アクセスに関して、必要以上に入出力回数（ドラム・ディスク等の）回転待ち時間、ヘッドの移動待ち時間が発生することとなる。

また、データ・レコードを格納しうる空きレコードの位置を容易に検索するために、領域内の空きレコードも、データ・レコードと同じように連鎖子にリスト化しておくことが通常行なわれるが、この方式では、データ・レコードの格納に先立ち、すべての空きレコードをリスト化するという無駄な作業が発生する。

本発明の目的は、かかる空き領域の大きさを拡張し、電子開示があり、かつ挿入・削除等の多いデータ・レコードを格納するための改良された方法を提供することである。

本発明は、以下のような記憶媒体の物理的特性を利用した、データ・レコード格納方法により、高速な直次アクセスを可能にしようとするものである。

まず第1に、第1図に示されるように、ここで想定している比較的低速な記憶媒体上においてはその領域は、複数のブロック2よりなり、転送はブロブク単位に入出力緩衝域4を経由して行なわれる。前記ブロック2はさらに、複数個の区画3に分割され、各区画3に1つのレコードが対応づけられる。各区画3は順方向連鎖子5、逆方向連鎖子6、及びデータ部7を有する。また、あるブロック2がバッファ上に読み出されている時は、入出力を伴わないで、直前のバッファ上のデータを参照することができる。

従つて、電子開示において冠りあうレコードが同一ブロブクにある確率が高ければ、直次アクセスの性能の入出力回数は削減されることになる。

次に、第2図に示されるように、磁気ディスクのような、複数のシリンドル32及びトランク33からなり各トランクには複数のレコード35を有する複数のブロック34が設けられている記憶媒体31においては、ヘッドを特定のシリンドルに笠置づけるための、ヘッドの移動待ち時間（シ

ーク時間)と、ヘッドを特定のトラノクへ位置づけるための回転待ち時間と實現する必要がある。

そこで、これらの物理的属性を考慮した場合においては、

- (1) その、領域内に、適当な空きレコードを分散させて確保しておくことにより、挿入レコードを、できるだけ前後のレコードつ近くに配置させ、首次アクセスを持つ入出力回数及びシーク時間を減少させること。
- (2) 挿入レコードをその前又は後のレコードと同じブロックに格納できない場合には、記憶装置の回転角を考慮した位置へ格納することにより、回転待ち時間と減少させることを考慮した。

以下第3～第8図により実施例にそつて本発明の原理を説明する。

第3図は、初期化各データ・レコード41を順序よく格納した状態であり、各データ・レコード41は、データ・レコード連鎖子43により結合されており、かつ、その先頭位置(FRP)及び末尾位置(LRP)は、任意の記憶手段により保

持される。また未使用領域46の先頭位置(FUP)も空きの記憶手段により保持される。第4図は、データ・レコードの挿入・削除がくり返されるためとの状態であり、途中にできた空き区画47には、互いに、空き区画連鎖子45により結合され、さらにその先頭位置(FAP)は、空きの記憶手段により保持される。

第4図は、最適化を行なわなかつた場合のものであり、追加予ブロック42間に多くまとまつてあるため、全シードをアクセスするためには4回のブロック入力が必要となる。

そこで本発明に定め、第5図のごとく、その一定位置で各ブロック42間に空きレコード47を確保しておき、追加レコードは、未使用領域46の先頭位置FUPへ、挿入レコードは前レコードと同一ブロックへできるだけ入るようにすることにより、挿入・追加・削除がくりかえされても、前後つレコード41が同一ブロック42にある確率を高くすることができる。この場合、同一ブロック内に空き区画47がなければ、先頭空き

レコードFAPへ格納すればよい。第6図はこのような最適化を行なつた場合のデータ・レコードの格納状況の他の例を示す。データ・レコードの追加・挿入・削除におけるFAP、FUP、FRP、LRP、レコード連鎖子の変更方法は、第7図により明らかであろう。第7図では、高中の段に示す格納状態より出発して、上段の例のなくデータ・レコード40と3の間にデータ・レコード40を挿入すると共にデータ・レコード41を削除する場合、並びに下段の例のようにデータ・レコード40と1の間に4を挿入し且つ3の後へ4を追加する場合を例示している。

次に磁気ディスク、磁気ドラムの如き、回転型記憶媒体においては、第8図に示したように、前記の各ブロック42内の空き区画47の他に、指定された位置mによっては、各ブロック42内に全部空き区画47よりなるブロック48を割り当てることのが効果的である。この場合、シードの挿入に際しては、挿入位置のレコードと同一ブロック42内の空き区画47をさばくし、これが得られた

場合、当該ブロック42をアクセスしてから、次に別のブロック42をアクセスするまでに必要な復戻時間に記憶媒体が回転する角度に対応するブロック数以上はなれた空き区画ブロック48から、空き区画47を選択することにより、挿入レコードが前後のレコードと同じシリンドーに格納される確率が高くなるだけでなく、回転待ち時間が一回転時間だけ短縮できる。

次に第9図により、本発明の一実施例における構成について説明する。

先づデータ・レコード格納ステップ12は記憶媒体10の各ブロック内の各区画毎に1つのデータ・シードを所定の空き区画を残した状態で、パノラマ11を介して格納する。データ・レコード連鎖保持ステップ16は格納されたデータ・レコードをそれ自身の内部に設けられた連鎖子により直序關係に従つて連結し、該連鎖の先頭レコード位置、(FRP)及び末尾レコード位置(LRP)を夫々記憶手段18、19に保持する。未使用領域先頭位置保持ステップ17は記憶媒体

1.0キロ未使用媒体の先頭位置(FUP)を記憶手段2.1に保持する。又、空き区画連結媒体スナップ1.5は使用領域中の空き区画をデータ・レコード内に格納された連結子により連結し該連結の先頭位置(FAP)を記憶手段2.0に保持する。空き区画選択ステップ1.3は、記憶媒体1.0中に形成に用いられるデータ・レコードを格納すべき空き区画を選択する。既に最初のデータ・レコードと既に格納されているデータ・レコードの中で直字端末に対して元尾のレコードが空へ追加されるべきデータ・レコードに対しては、記憶手段2.1に保持されているFUP位置にある空き区画を選択し、一方、既に格納されているデータ・レコードとそれと接続するデータ・レコードとの間に挿入されるべきデータ・レコードに対しては、データ・レコードと同じブロック内の空き区画を選択し、もしもブロック内に空き区画がない場合にはFAPに置く空き区画を選択する。又、空き区画作成ステップ1.4は任意ブロック内のデータ・レコード格納量が記憶手段2.2に保持されて

いる予じの次のられたをとれり年、ヨリヨリノクの残りの区画に空き区画を作成する。そして記憶手段2.3に保持されている予じの次のられたにない空き区画よりなるブロックを一定数のブロックおきに確保する処理を行なう。

次に第1.0回のフロー図を参照してデータ・レコード追加の場合における流れを説明する。

まず1.01でシリーイレコードが未使用領域先頭位置(FUP)より大きいか否かが判断され、FUPの方が小さければ、1.03でDIPに重ヘレコードが追加される。そして1.05でヨー・マスターに追したことが判断されると1.07でブロック内の残りのレコードを空き区画先頭位置(FAP)からの連結に入れ、1.09でDIPを次ブロック先頭レコードへ移動し、1.19で追加レコードをレコード連結につなぎ1.21でデータ・レコード末尾位置(LHP)を変更する。又1.05でロードファクタに達しない場合、1.11でDIPに1を加え1.19で進む。一方1.01でDIPの方が小さくなれば、1.13で空き区画

先頭位置(FAP)の連結があるか否かを判断し、あれば1.15でFAP位置へレコードを追加し、1.17でDAPを更新した上で1.19へ進む。1.13でDAP連結がなければオーバーフローとして処理する。

次にデータ・レコード挿入の場合の処理のフローを第11図を参照して説明する。先づ2.01で直前のレコードのブロックに空き区画があるか否かを判断し、あれば2.03でその空き区画へレコードを挿入し、2.05でレコード連結を変更し、2.07で空き区画連結子変更する。2.01で直前のレコードのブロックに空き区画がない場合には、2.09でFAPの連結があるか否かを判断し、あれば2.11でDAP位置へレコードを挿入し、2.13でレコード連結を変更し、2.15でDAPを変更する。又2.09でFAP連結がない場合には更に2.17でレコード格納量がDIPより小さくなれば否かを判断し、小さくなれば、2.19でDIP位置へレコードを挿入し、2.21でシリーイレコード連結を変更し、2.23でFUPを変更する。

2.17でFUPの方が小さければオーバーフローとして処理する。

図面の簡単な説明

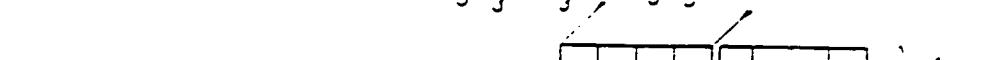
第1図は、記憶媒体の記憶構造を示す図、第2図は、シリンド・トラック形式の記憶媒体の記憶構造を示す図、第3図、第4図は、空きブロックの確保、空き区画選択に関する、最適化を行なわなかつた場合のデータ・レコード格納状況を示す図、第5図、第6図は、本発明に従い最適化を行なつた場合のデータ・レコード格納状況を示す図、第7図は、データ・レコードの追加、挿入、削除に伴なり、格納状況の変化を示す図、第8図は、空き区画ブロックの確保方法を示す図、第9図は、二分割の実施例における構成を示すブロック図、第10図は、データ・レコード追加の際の処理の流れを示すフロー図、第11図は、データ・レコード挿入の際の処理の流れを示すフロー図である。

符号の説明

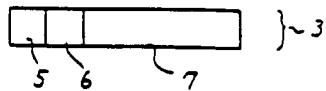
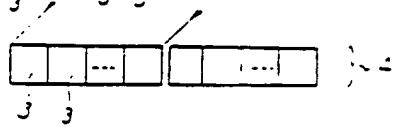
- 1.0 記憶媒体
- 1.1 パックア

- 昭 38-105341
- 1.2 データ・レコード等納ステップ
 1.3 空き区画選択ステップ
 1.4 空き区画作成ステップ
 1.5 空き区画選択確得ステップ
 1.6 データ・レコード選択確得ステップ
 1.7 未使用領域先端位置確得ステップ

代理人弁理士 高橋明夫

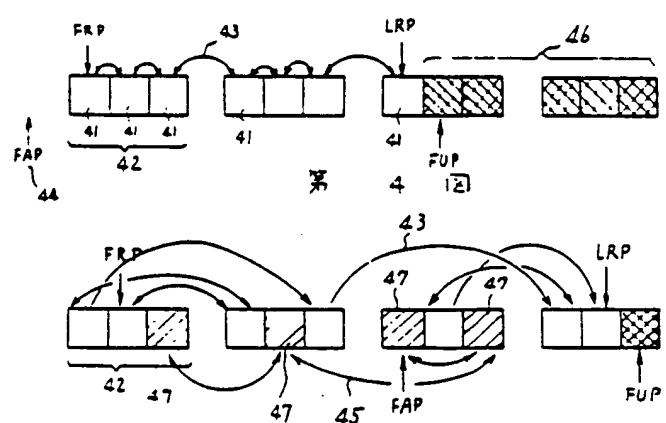
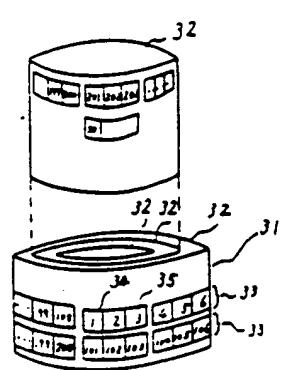


代理人弁理士 高橋明夫

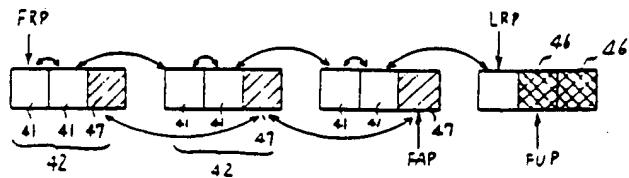


第 2 図

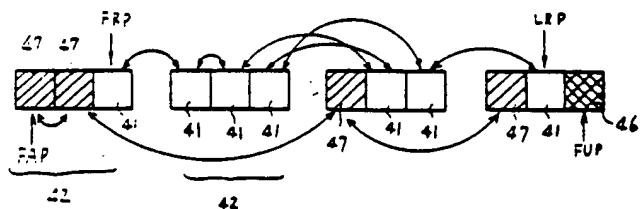
第 3 図



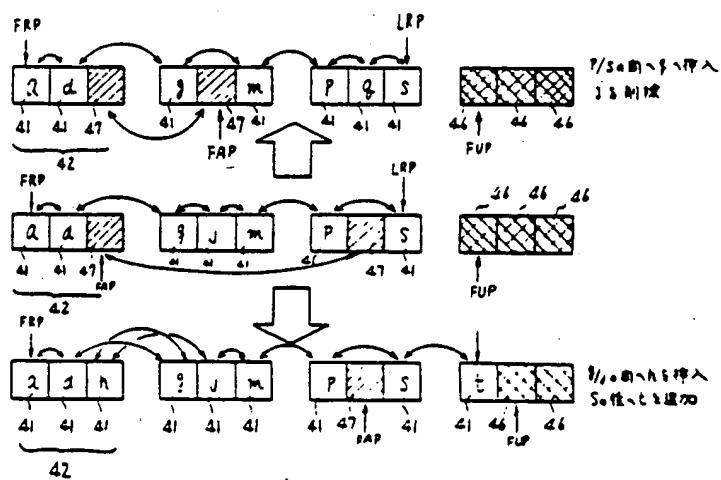
第5回



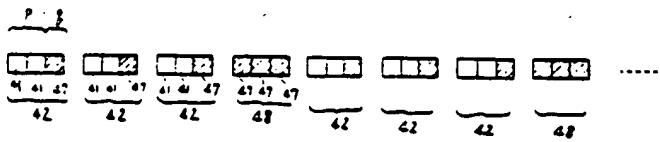
第6回



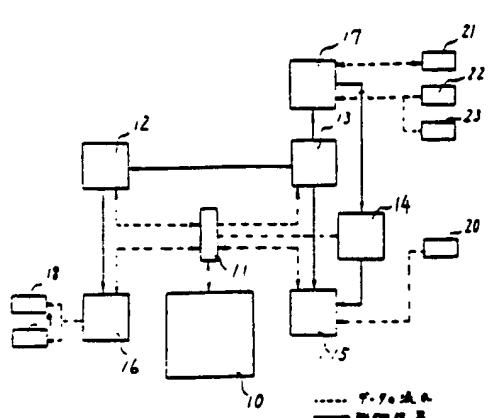
第7回



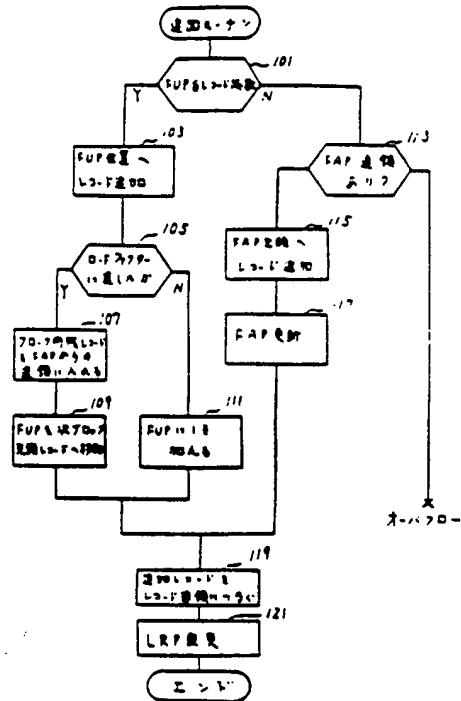
第8回



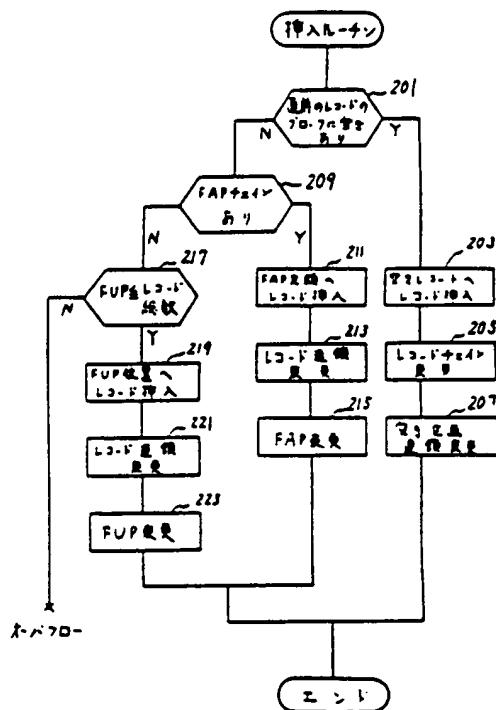
五 9 四



第 10 題



二四



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)